

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136436

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 29/91
H01L 27/12
H01L 21/336
H01L 29/784

(21)Application number : 04-040682

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.01.1992

(72)Inventor : NAKAGAWA AKIO
YASUHARA NORIO
SUESHIRO TOMOKO

(30)Priority

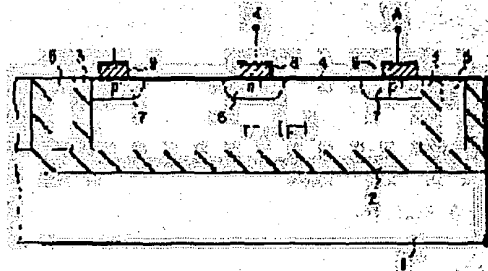
Priority number : 03 31720	Priority date : 31.01.1991	Priority country : JP
03 90068	28.03.1991	
03109605	16.04.1991	JP
03268970	20.09.1991	JP
		JP

(54) HIGH BREAKDOWN-STRENGTH SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To provide a semiconductor element, in which sufficiently high breakdown-strength characteristics are obtained by using a thin high-resistance semiconductor layer.

CONSTITUTION: An n+ type layer 6 is formed at the central section of a high-resistance silicon layer 4 by using the high-resistance silicon layer 4 isolated from a silicon substrate 1 by an oxide film 2 and isolated by an oxide film 3 even in the lateral direction, and p+ type layers 7 are formed to peripheral sections, thus constituting a diode. The film thickness of the oxide film 2 is thickened to 1μm or more, the backward bias voltage of an element is shared largely by the oxide film 2, and an electric field in the high-resistance silicon layer 4 depending upon an electric field in the oxide film 2 is weakened, thus acquiring sufficiently high breakdown-strength characteristics even when the high-resistance silicon layer 4 is thin.



LEGAL STATUS

[Date of request for examination] 28.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3293871

[Date of registration] 05.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-136436

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/91

27/12

21/336

Z 8728-4M

8225-4M

9056-4M

H 0 1 L 29/91

D

29/78

3 1 1 Z

審査請求 未請求 請求項の数4(全 47 頁) 最終頁に続く

(21)出願番号 特願平4-40682

(22)出願日 平成4年(1992)1月31日

(31)優先権主張番号 特願平3-31720

(32)優先日 平3(1991)1月31日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-90068

(32)優先日 平3(1991)3月28日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-109605

(32)優先日 平3(1991)4月16日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中川 明夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 安原 紀夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 末代 知子

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

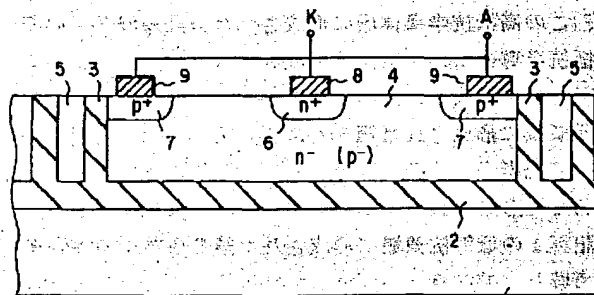
最終頁に続く

(54)【発明の名称】 高耐圧半導体素子

(57)【要約】

【目的】 薄い高抵抗半導体層を用いて十分な高耐圧特性が得られる半導体素子を提供することを目的とする。

【構成】 シリコン基板1から酸化膜2により分離され、横方向にも酸化膜3により分離された高抵抗シリコン層4を用いて、その中央部に n^+ 型層6を形成し、周辺部に p^+ 型層7を形成してダイオードを構成する。酸化膜2の膜厚を $1\mu m$ 以上と厚くして、素子の逆バイアス電圧を酸化膜2で大きく分担させ、また酸化膜2中の電界に依存する高抵抗シリコン層4中の電界を弱くすることによって、高抵抗シリコン層4が薄いものであっても十分な高耐圧特性が得られるようにした。



【特許請求の範囲】

【請求項1】 半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域の中央部表面領域に形成された第1導電型の第1の低抵抗領域と、前記素子領域の周辺部表面領域に形成された第2導電型の第2の低抵抗領域とを具備し、前記素子領域内の不純物のドーズ量は、前記第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加したときに、前記素子領域の、前記第1の低抵抗領域と第2の低抵抗領域との間の部分が完全に空乏化するような値に設定されていることを特徴とする高耐圧半導体素子。

【請求項2】 半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域の表面から前記絶縁層にわたって形成された第1導電型の第1の低抵抗領域と、前記素子領域の表面から前記絶縁層にわたって形成された第2導電型の第2の低抵抗領域とを具備し、前記素子領域内の不純物のドーズ量は、前記第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加したときに、前記素子領域の、前記第1の低抵抗領域と第2の低抵抗領域との間の部分が完全に空乏化するような値に設定されていることを特徴とする高耐圧半導体素子。

【請求項3】 半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域の表面領域に形成された第1導電型の第1の低抵抗領域と、前記素子領域の表面領域に前記第1の低抵抗領域と、離間して形成された第2導電型の第2の低抵抗領域と、前記第1の低抵抗領域に形成された第2導電型のドレイン領域と、前記第2の低抵抗領域に形成された第1導電型のソース領域とを具備し、前記素子領域内の不純物のドーズ量は、前記ソース領域とドレイン領域との間に電圧を印加したときに、前記素子領域の、前記ソース領域とドレイン領域との間の部分が完全に空乏化するような値に設定されていることを特徴とする横型絶縁ゲート型バイポーラトランジスタ。

【請求項4】 半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域の表面領域に形成された第1導電型の第1の低抵抗領域

と、前記素子領域の表面領域に、前記第1の低抵抗領域と離間して形成された第2導電型の第2の低抵抗領域とを具備し、前記第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加し、かつ前記第1の低抵抗領域の電位と第2の低抵抗領域の電位はいずれも前記半導体基板の電位よりも高いときに、前記素子領域の底部に第2導電型のチャンネル領域が形成され、このチャンネル領域によって前記半導体基板の電位の影響がシールドされることを特徴とする高耐圧半導体素子。

【発明の詳細な説明】

【発明の目的】

【0001】

【産業上の利用分野】 本発明は、高耐圧半導体素子に関する。

【0002】

【従来の技術】 高耐圧半導体素子を分離する有力な方法として、誘電体分離法がよく知られている。

【0003】 図1は、その様な誘電体分離を施した従来の高耐圧ダイオードの例である。101は p^+ 型シリコン基板であり、直接接着技術によってこれと n^- （または p^- ）型シリコン基板を接着した基板ウェハを用いている。102はその接着界面部の酸化膜である。この基板ウェハの n^- 型基板側を酸化膜102に達する深さにエッチングして溝を形成することにより、島状の素子領域である n^- 型層103を形成している。溝には、側面に酸化膜104を形成して多結晶シリコン膜105が埋め込まれる。こうして酸化膜102、104により他から分離された島状の n^- 型層103の中央部表面に、カソード領域である n^+ 型層106が形成され、周辺部にはアノード領域である p^+ 型層107が形成されて、ダイオードが構成されている。島状の n^- 型層103の周囲を取り囲むように、酸化膜102、104に沿って p^+ 型層108、109が形成されている。 p^+ 型層108、109は、大電流を流せるようにするためのものである。 n^+ 型層106にはカソード電極110が、 p^+ 型層107にはアノード電極111がそれぞれ形成されている。

【0004】 このダイオードは、アノード・カソード間に逆バイアスが印加されて n^- 型層103に空乏層が広がりが切ったとき、表面部の n^+ 型層106と底面部の p^+ 型層108の間に全印加電圧がかかる。したがってこのダイオードを十分高耐圧とするためには、 n^- 型層106と p^+ 型層108の間の距離 d を十分大きくとることが必要である。具体的に例えば、600Vの耐圧を得るためには、およそ $d=45\mu m$ が必要である。

【0005】 この様な距離 d を確保するように n^- 型層103の厚みを大きくすると、横方向の素子分離のための溝もそれだけ深くすることが当然必要になる。これは横方向の素子分離を非常に困難にする。

【0006】 以上のように従来の誘電体分離構造の半導

体素子では、十分な高耐圧を得るためには空乏層が伸びる高抵抗半導体層の厚みを十分大きくすることが必要であり、そうすると素子分離が難しくなる、という問題があった。

【0007】次に、従来の誘電体分離構造の半導体素子の他の例について説明する。

【0008】図2は、その様な誘電体分離構造を用いた従来の横型の高耐圧ダイオードである。n⁺型シリコン層（活性層）133は、半導体基板131上に分離用絶縁膜132を介して形成されている。活性層133の底部には高濃度のn⁺型層134が形成されている。活性層133にp型アノード層135と、これから所定距離離れたn型カソード層136とが形成され、それぞれにアノード電極137、カソード電極138が形成されている。

【0009】この様な横型のダイオードにおいて、例えばアノード電極137および基板131を接地してカソード電極138に正の電圧を印加した逆バイアス状態を考える。このときカソードに印加される電圧は、p型アノード層137の下の活性層133に広がる空乏層に印加される。

【0010】したがって、pアノード層137下の活性層133部分の厚みが薄いと、ここで大きな電界を分担することになり、p型アノード層137の底部の曲面部付近で電界集中を起し、低い印加電圧でアバランシェ降伏を生じる。これを避けて十分な高耐圧を実現するために、従来は、活性層133の厚みを40 μ m以上とすることが行われていた。

【0011】しかしながら、活性層厚みが大きいと、V字溝等により横方向の素子分離を行うと、深い分離溝が必要になり、分離溝領域の面積が大きいものとなる。従って加工が困難になるのみならず、素子の有効面積が小さくなり、結果的に高耐圧素子の集積回路のコストが増大する。

【0012】

【発明が解決しようとする課題】以上のように、従来の誘電体分離構造の高耐圧半導体素子では、活性層が薄いと十分な耐圧が得られず、活性層を厚くすると、横方向の素子分離がむずかしくなる、といった問題があった。

【0013】本発明はこの様な問題を解決して、比較的薄い高抵抗半導体層であっても十分な高耐圧を得ることを可能とした、誘電体分離構造の高耐圧半導体素子を提供することを目的とする。

【0014】【発明の構成】

【0015】

【課題を解決するための手段】本発明によると、半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素

子領域と、この前記素子領域の中央部表面領域に形成された第1導電型の第1の低抵抗領域と、前記素子領域の周辺部表面領域に形成された第2導電型の第2の低抵抗領域とを具備し、前記素子領域内の不純物のドーズ量は、前記第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加したときに、前記素子領域の、前記第1の低抵抗領域と第2の低抵抗領域との間の部分が完全に空乏化するような値に設定されていることを特徴とする高耐圧半導体素子が提供される。

【0016】また、本発明によると、半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域の表面から前記絶縁層にわたって形成された第1導電型の第1の低抵抗領域と、前記素子領域の表面から前記絶縁層にわたって形成された第2導電型の第2の低抵抗領域とを具備し、前記素子領域内の不純物のドーズ量は、前記第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加したときに、前記素子領域の、前記第1の低抵抗領域と第2の低抵抗領域との間の部分が完全に空乏化するような値に設定されていることを特徴とする高耐圧半導体素子が提供される。

【0017】更に本発明によると、半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域に形成された第1導電型の第1の低抵抗領域と、前記素子領域に、前記第1の低抵抗領域と離間して形成された第2導電型の第2の低抵抗領域と、前記第1の低抵抗領域に形成された第2導電型のドレイン領域と、前記第2の低抵抗領域に形成された第1導電型のソース領域とを具備し、前記素子領域内の不純物のドーズ量は、前記ソース領域とドレイン領域との間に電圧を印加したときに、前記素子領域の、前記ソース領域とドレイン領域との間の部分が完全に空乏化するような値に設定されていることを特徴とする横型絶縁ゲート型バイポーラトランジスタが提供される。

【0018】更にまた本発明によると、半導体基板と、この基板上に形成された絶縁膜と、この絶縁膜上に形成された高抵抗半導体層と、この高抵抗半導体層に形成された分離領域と、前記高抵抗半導体層に、前記分離領域により横方向において分離されて形成された素子領域と、この前記素子領域の表面領域に形成された第1導電型の第1の低抵抗領域と、前記素子領域の表面領域に、前記第1の低抵抗領域と離間して形成された第2導電型の第2の低抵抗領域とを具備し、前記第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加し、かつ前記第1の低抵抗領域の電位と第2の低抵抗領域の電位はいず

5

れも前記半導体基板の電位よりも高いときに、前記素子領域の底部に第2導電型のチャネル領域が形成され、このチャネル領域によって前記半導体基板の電位の影響がシールドされることを特徴とする高耐压半導体素子が提供される。

【0019】

【作用】本発明の第1の態様に係る高耐压半導体素子において、第1及び第2の低抵抗領域間に、例えば第1の低抵抗領域を高電位、第2の低抵抗領域を接地電位として逆バイアス電圧が印加されたとする。この時印加電圧は、高抵抗半導体層に横方向にかかると同時に、深さ方向にもかかる。下地半導体基板が通常接地電位にされるからである。そして、第1または第2の低抵抗領域の周囲のp-n接合から高抵抗半導体層内に空乏層が広がる。そして、第1の低抵抗領域と第2の低抵抗領域との間の、高抵抗半導体層の部分が完全に空乏化する。その結果、高耐压を有する半導体素子が得られる。

【0020】第1の低抵抗領域と第2の低抵抗領域との間の高抵抗半導体層の部分が完全に空乏化するためには、高抵抗半導体層の不純物のドーザ量が $0.1 \times 10^{12} \sim 3 \times 10^{12} / \text{cm}^2$ の範囲にあればよい。

【0021】第1及び第2の低抵抗領域間の印加電圧がある値になると、空乏層は第1の絶縁膜にまで達し、深さ方向の電圧は高抵抗半導体層と第1の絶縁膜によって分担される。

【0022】この様な高電圧印加状態でアバランシェ・ブレイクダウンを防止するためには、印加電圧のうち高抵抗半導体層の底部にある絶縁膜で分担される部分が大きい方がよい。しかも、高抵抗半導体層と絶縁膜との界面で電束密度は連続であるので、高抵抗半導体層内で縦方向の電界が強くなるようにするためには、絶縁膜中の電界も小さい方がよい。

【0023】本発明に係る高耐压半導体素子において、絶縁膜を $1 \mu\text{m}$ 以上と厚くした場合には、上述のように空乏層が伸びた状態でも第1の絶縁膜中での電界は比較的小さく、従って高抵抗半導体層の縦方向電界も小さく抑えられる。また、印加電圧の多くが第1の絶縁膜により分担されるために、高抵抗半導体層の深さ方向にかかる印加電圧が小さく抑えられる。以上により本発明に係る半導体素子では、高抵抗半導体層が比較的薄いものであっても、十分な高耐压特性が得られる。

【0024】本発明の第1の態様に係る高耐压半導体素子において、特に、高抵抗層底部に単位面積当りの不純物総量が $3 \times 10^{12} / \text{cm}^2$ 以下、より好ましくは $0.5 \sim 2 \times 10^{12} / \text{cm}^2$ となるように設定した低不純物濃度のバッファ層を設けると、一層高い耐压が得られる。なぜなら逆バイアス印加時、このバッファ層が完全に空乏化すると、ここに高抵抗半導体層より高濃度の空間電荷が生じるからである。このバッファ層と第1の絶縁膜の界面における電界の垂直方向成分を、半導体層側

6

で E_s 、絶縁膜側で E_i とし、半導体層の誘電率を ϵ_s 、絶縁膜の誘電率を ϵ_i とすると、

$$E_s = (\epsilon_i / \epsilon_s) E_i$$

である。このため、第1の絶縁膜中の電界が大きくなるとこれにじたがって半導体層内の電界も大きくなる。ところがバッファ層に生じた空間電荷は、この半導体層側の電界を緩和する働きをする。従ってこの様なバッファ層を設けることによって、半導体層中の電界を小さく保ったまま第1の絶縁膜中の電界をより大きくすることができ、高耐压化が図られることになる。

【0025】本発明の第1の態様に係る高耐压半導体素子は、横方向の素子分離を絶縁膜ではなくp-n接合により行ないことも可能であり、この場合、それ以外は素子分離を絶縁膜で行う場合と同じである。従ってこの高耐压半導体素子も、比較的薄い高抵抗半導体層で十分な高耐压特性が得られる。

【0026】ところで、本発明の第1の態様に係る高耐压半導体素子において、素子領域の高抵抗半導体層の分離を行なうための第2の絶縁膜との界面部に第1導電型の第3の低抵抗領域が形成されている場合を考える。これは、隣接する素子領域の溝側壁に第1導電型の低抵抗領域を形成する場合に避けられない。溝の側壁の一方の面にのみ選択的に低抵抗領域を拡散形成することは困難だからである。この構造においては、逆バイアス時、第2の低抵抗領域と第3の低抵抗領域の間のブレイクダウンが問題になる。まず逆バイアスを印加すると、第2の低抵抗領域の回りとは第1の絶縁膜の上面から高抵抗半導体層に空乏層が広がる。素子領域中央の第1の低抵抗領域と第3の低抵抗領域の間が中性領域でつながっている間は、第3の低抵抗領域の電位は第1の低抵抗領域の電位に追従する。第2の低抵抗領域と第3の低抵抗領域間のp-n接合のブレイクダウン電圧を V_B として、第1の低抵抗領域と第3の低抵抗領域の間が上述のように中性領域でつながっている間に逆バイアス電圧が V_B に達すると、ブレイクダウンしてしまう。第2の低抵抗領域下の空乏層が第1の絶縁膜に達する時の印加電圧が V_B よりも低くなるように、高抵抗半導体層の厚みと不純物濃度を設定しておけば、第1の低抵抗領域と第3の低抵抗領域の間はブレイクダウンを生じる前に空乏層によって互いに分断される。この様に第3の低抵抗領域が第1の低抵抗領域から空乏層で分断されると、第2の低抵抗領域と第3の低抵抗領域間の電位差はそれ以上大きくなることはなく、これら低抵抗領域間でのブレイクダウンは防止される。

【0027】例えば、高抵抗半導体層の厚みを d 、不純物濃度を C 、第1の絶縁膜の厚みを t 、誘電率を ϵ_i 、半導体の誘電率を ϵ_s 、第2の低抵抗領域の深さを x_0 とすると、第2の低抵抗領域の面積が十分大きければ、第2の低抵抗領域の下から第1の絶縁膜まで空乏層が伸びる時の逆バイアスの大きさ V_0 は

$$V_0 =$$

$$eC \{ 2t (\epsilon_s / \epsilon_i) + d - x_j \}^2 / 8 \epsilon_s \{ t (\epsilon_s / \epsilon_i) + d - x_j \}^2$$

と近似できる。ここで、 e は素電荷を示す。この式を参照して、 $V_0 < V_B$ を満たすように各部の厚みや不純物濃度を設定することによって、高耐圧特性が得られることになる。

$$V_0 = (eC / 2 \epsilon_s) \{ (x+1)^2 \{ \ln \{ (t+1)/1 \} - 1/2 \} + 1/2 \}$$

$$V_0 = (eC / 2 \epsilon_s) \{ (d-1-x)^2 + (eC / \epsilon_i) t (d-1-x) \}$$

から V_0 が近似的に求められるので、この値が、 $V_0 < V_B$ を満たすように設定すればよい。ただし、これらの式の中で、 x は第2の低抵抗領域の回りの空乏層の拡がりを表しており、長さの次元を持つ。

【0029】本発明の第1の態様に係る高耐圧半導体素子において、第2の低抵抗領域を第1の絶縁膜に達する深さに形成し、これにより第1の低抵抗領域と第3の低抵抗領域を切離すことも可能である。この場合、第3の低抵抗領域の電位が第1の低抵抗領域に追従して上昇することはなく、第2の低抵抗領域と第3の低抵抗領域間のpn接合でのブレークダウンは生じない。したがって第3の低抵抗領域があっても、高耐圧特性が得られる。

【0030】本発明の第1の態様に係る高耐圧半導体素子において、絶縁膜と高抵抗半導体層の界面に高抵抗体膜を配設することも可能であり、この場合、高抵抗体膜は、下地半導体基板の電位の影響をシールドする働きをする。従って、したがってこれによっても、優れた高耐圧特性が得られる。

【0031】

【実施例】以下、図面を参照して本発明の第1の態様に係る種々の実施例を説明する。

【0032】図3は、一実施例の高耐圧ダイオードの断面図である。1は、単結晶（または多結晶）のシリコン基板であり、この上に酸化膜2（第1の絶縁膜）により基板1から分離され、酸化膜3（第2の絶縁膜）により横方向に他の素子領域から分離された島状の高抵抗シリコン層4が形成されている。下地の酸化膜2は $1 \mu\text{m}$ 以上の厚さとする。高抵抗シリコン層4は、 n^- 型（または p^- 型）である。素子分離領域はトレンチを掘って形成されたものであり、トレンチには酸化膜3を形成した後、多結晶シリコン膜5が埋め込まれている。

【0033】高抵抗シリコン層4の中央部表面にカソード領域となる高不純物濃度の n^+ 型層6（第1の低抵抗領域）が形成されている。高抵抗シリコン層4の周辺部表面にはアノード領域となる高不純物濃度の p^+ 型層7（第2の低抵抗領域）が形成されている。 p^+ 型層7は、上から見たとき、 n^+ 型層6を取り囲むように形成されている。 n^+ 型層6にはカソード電極8が形成され、 p^+ 型層7にはアノード電極9が形成されている。

【0034】この高耐圧ダイオードの製造工程は例えば、次の通りである。まずシリコン基板1と高抵抗シリ

【0028】また第2の低抵抗領域の幅が数 μm 以下と狭い場合には、その値を1として、 V_0 と x に関する連立方程式

コン層4に対応する高抵抗シリコン基板とを直接接着技術により貼り合わせる。すなわち、2枚の基板を鏡面研磨しておき、その研磨面同士を清浄な雰囲気下で密着させ、所定の熱処理を加えることにより一体化する。このとき一方の基板の接着面に酸化膜2を形成しておくことにより、図示のように電気的に分離された状態で一体化した基板が得られる。次に高抵抗シリコン基板側を研磨して素子領域に必要な所定厚みの高抵抗シリコン層4を得る。その後、素子分離領域にトレンチを形成し、島状に分離された高抵抗シリコン層4の側面に酸化膜3を形成する。そして分離用トレンチ内に多結晶シリコン膜5を埋め込んだ後、 n^+ 型層6、 p^+ 型層7を順次拡散形成し、最後に電極8、9を形成する。

【0035】この様に構成された高耐圧ダイオードにおいて、例えば基板1および電極9を接地して電極8に正の電位を印加すると、pn接合は逆バイアスされて高抵抗シリコン層4内に空乏層が拡がる。酸化膜2と高抵抗シリコン層4の界面からも上に向かって空乏層が拡がる。印加電圧がある値になると、高抵抗シリコン層4は空乏層で満たされた状態になり、高抵抗シリコン層4には n^+ 型層6から下方に向かう強い電界が生じる。

【0036】しかしこの実施例においては、酸化膜2の厚みを $1 \mu\text{m}$ 以上と厚くしているため、印加電圧の多くはこの酸化膜2により分担され、高抵抗シリコン層4内の電界はアバランシェ・ブレークダウンを生じる値以下に抑えられる。具体的に例えば、高抵抗シリコン層4の厚みが $20 \mu\text{m}$ しかない場合でも、 350V 以上の高耐圧が得られる。酸化膜2の膜厚を $2 \mu\text{m}$ 以上にすれば、更に 450V 以上の高耐圧特性が得られる。

【0037】また、高抵抗シリコン層4と酸化膜2の界面には、素子形成工程で自然に正の界面電荷が生じる。この界面電荷は高抵抗シリコン層4が n 型の場合そのなかの縦方向電界を弱める効果があり、この効果も高耐圧特性に寄与している。

【0038】図4は、図3の実施例の素子構造において、高抵抗シリコン層4の底部に低不純物濃度（高抵抗シリコン層4よりは高い）の n^- 型バッファ層10を設けた実施例である。このバッファ層10は、単位面積当りの不純物総量が $3 \times 10^{12}/\text{cm}^2$ 以下、より好ましくは $0.5 \sim 2 \times 10^{12}/\text{cm}^2$ となるように設定される。

【0039】この実施例においては、アノード・カソー

ド間に逆バイアスを与えてバッファ層10が空乏化すると、ここに正の空間電荷が生じる。この空間電荷が高抵抗シリコン層4内の電界を緩和する働きをする結果、高耐圧特性が得られる。

【0040】図5は、図3の構造を基本として、カソード領域となる n^+ 型層11とアノード領域となる p^+ 型層12が繰り返し形成された実施例である。例えば、高抵抗シリコン層4の中央部に n^+ 型層11aが形成され、所定距離おいてこれを囲むようにリング状に p^+ 型層12bが形成され、その外側に所定距離おいてリング状に n^+ 型層11bが形成され、更にその外側の高抵抗シリコン層周辺部にリング状に p^+ 型層12bが形成されている。 n^+ 型層11にはカソード電極13が形成され、 p^+ 型層12にはアノード電極14が形成されている。この様な同心的なリング状パターンでなく、ストライプ状パターンの繰り返しであってもよい。

【0041】この実施例の構造は、素子面積が大きい場合にカソード電流を分散させて均一化する上で有効である。カソード電極13とアノード電極14間に逆バイアスを印加すると、図3の実施例と同様に n^+ 型層11から下方に向かう電界が生じるが、やはり酸化膜2を $1\mu m$ 以上と厚くしている結果、高耐圧が得られる。

【0042】以下の実施例でも同様に、 n^+ 型層と p^+ 型層を多数繰り返し形成することは、素子のオン抵抗を低くするために有効である。

【0043】図6は、図4の構造を基本として、MOSFETを構成した実施例である。高抵抗シリコン層4の表面部に p 型ベース層15が形成され、この p 型ベース層15内に n^+ 型ソース層16が形成されている。 p 型ベース層15から所定距離離れた位置に n^+ 型ドレイン層17が形成されている。 p 型ベース層15の n^+ 型ソース層16と n^+ 型高抵抗シリコン層4に挟まれた領域をチャネル領域として、この上にゲート酸化膜20を介してゲート電極21が形成されている。 n^+ 型ドレイン層17にはドレイン電極18が接続され、 n^+ 型ソース層16にはソース電極19が接続されている。ソース電極19は同時に p 型ベース層15にも接続されている。ここでは、図5の実施例にならってソース、ドレインを繰り返し配置した構造を示している。繰り返しパターンはストライプ状でも同心リング状でもよい。

【0044】この実施例のMOSFETは、ドレイン電極18に、ソース電極19に対して正の電圧を印加して動作させる。ゲート電圧が零または負で p 型ベース層15にチャネルが形成されていないオフ状態では、ドレイン・ソース間電圧がある値以上で高抵抗シリコン層4およびバッファ層10は空乏化する。これにより、 n^+ 型ドレイン層17から下方に向かう強い電界が生じる。この実施例では、図2の実施例と同様に、酸化膜2を $1\mu m$ 以上と厚くしていること、およびバッファ層10が空乏化して正の空間電荷が生じることから、印加電圧の多

くが酸化膜2で分担され、また高抵抗シリコン層4内の電界が弱められて、高耐圧が得られる。この実施例において、バッファ層10はなくてもよい。

【0045】以下の実施例のダイオード構造においても、この実施例と同様に p^+ 型層表面に n^+ 型ソース層を形成し、ゲート電極を設けることによりMOSFETを形成することができる。さらに n^+ 型ドレイン層に p^+ 型層を形成して、IGBTとすることも可能である。

【0046】図7は、第1の低抵抗領域と第2の低抵抗領域の導電型を逆にした実施例の高耐圧ダイオードである。図1とは逆に、高抵抗シリコン層4の中央部表面にアノード層となる p^+ 型層22が形成され、周辺部表面にカソード層となる n^+ 型層23が形成されている。 p^+ 型層22にアノード電極24が、 n^+ 型層23にカソード電極25がそれぞれ形成されている。その他図5の実施例と同じである。

【0047】この実施例でも、図5の実施例と同様に、酸化膜2が $1\mu m$ 以上と厚く、逆バイアス印加時にその電圧の多くを酸化膜2が分担することにより、高耐圧が得られる。

【0048】図8は、図3の構造を基本として、高抵抗シリコン層4の側面すなわち酸化膜3に接する部分に高不純物濃度の p^+ 型層26を形成した実施例である。このダイオードを製造するには、図5のダイオードの製造工程で説明した素子分離用ドレンチを形成した後、酸化膜3を形成する前にドレンチ側面に不純物拡散を行えばよい。

【0049】この実施例も、酸化膜2が $1\mu m$ 以上と厚く、高耐圧特性が得られる。また高抵抗シリコン層4の側面の p^+ 型層26は、逆バイアス印加時に表面の p^+ 型層7と同電位に保たれ、これにより欠陥の多い酸化膜3との界面部で無用な電界がかかることが防止される。これも、高耐圧特性の向上に寄与する。

【0050】図9は、図8の構造を基本として、図4と同様に高抵抗シリコン層4の底部に n^+ 型バッファ層10を設けた実施例である。これにより、一層の高耐圧化が図られる。

【0051】図10は、高抵抗シリコン層4を p^- 型として、その側面の低抵抗領域として図8の実施例と逆導電型の n^+ 型層27を形成した実施例である。その他、図8の実施例と異なることはない。

【0052】この実施例の構造では、周辺部表面の p^+ 型層7と n^+ 型層27とが接しているが、 n^+ 型層27と中央部表面の n^+ 型層6との間は電気的につながっていない。したがってこのダイオードに逆バイアスが印加されたときに、 p^+ 型層7と n^+ 型層27の間の $p-n$ 接合に電圧がかかることはなく、ここでブレイクダウンを生じることはない。この結果この実施例でも図3の実施例と同様の高耐圧特性を示す。

【0053】図11は、横方向の素子分離を $p-n$ 接合に

より行った実施例の高耐圧ダイオードである。高抵抗シリコン層4を n^- 型層として、素子領域を取り囲むように酸化膜2に達する深さの p^+ 型層50を拡散形成して素子分離を行っている。この横方向素子分離の構造の他は、図3の実施例と同様であり、素子領域の中央部表面にカソード領域となる n^+ 型層6が形成され、周辺部表面にアノード領域となる p^+ 型層7が形成されている。

【0054】逆バイアス印加時、 n^+ 型層6が高電位となって基板1との間に大きな電位差を生じるが、酸化膜1が $1\mu m$ 以上と厚いため、高抵抗シリコン層4中の電界は低く抑えられる。したがってこの実施例によっても高耐圧特性が得られる。

【0055】図12は、図11の構造に於いて、高抵抗シリコン層4の底部に低不純物濃度の n^- 型パッファ層10を設けた実施例である。図4の実施例と同様に n^- 型パッファ層10の不純物濃度を適当に設定することによって、逆バイアス印加により空乏化した時にこの n^- 型パッファ層10での空間電荷が高抵抗シリコン層4での電界を弱める働きをし、これにより一層の高耐圧特性が得られる。

【0056】図13は、図12の実施例の素子分離構造を基本として、ダイオードのカソード領域、アノード領域となる第1、第2の低抵抗領域の配置を図12とは逆にした実施例である。横方向の素子分離領域である p^+ 型層29により囲まれた高抵抗シリコン層4の中央部表面にアノード領域となる p^+ 型層22が形成され、この p^+ 型層22を取り囲み、かつ素子分離領域の p^+ 型層29からも所定距離離れた位置の表面にカソード領域となる n^+ 型層23が形成されている。この n^+ 型層23と一部重なるように、酸化膜2に達する深さに n^+ 型層28が形成されている。 p^+ 型層2にアノード電極24が、 n^+ 型層23にカソード電極25がそれぞれ形成されている。

【0057】この実施例の場合、逆バイアス印加時に正の高電位となる n^+ 型層23、28と通常接地電位とされる素子分離領域の p^+ 型層29間のブレイクダウンも

$$V_0 =$$

$$e C \{ 2t (\epsilon_s / \epsilon_i) + d - x_j \}^2 (d - x_j)^2 / 8 \epsilon_s \{ t (\epsilon_s / \epsilon_i) + d - x_j \}^2$$

を用いて、図16のように上下からの空乏層がつながる逆バイアス電圧 V_0 は1.0V以下であり、 $p-n$ 接合30にはブレイクダウン電圧 V_B はかからない。

【0062】また、 W が小さい場合には、図14に示す長さ l を例えば、 $5\mu m$ として、先に述べた V_0 と x の連立方程式より、高抵抗シリコン層4の不純物濃度を $1.1 \times 10^{14} / cm^3$ 以下、厚み $20\mu m$ 、酸化膜2の厚み $2\mu m$ とすれば、 V_0 は1.0V以下になるので、 $p-n$ 接合30でのブレイクダウンは起こらない。

【0063】以上のようにしてこの実施例によれば、 $p-n$ 接合30のブレイクダウン電圧が低いにも拘らず、ここでのブレイクダウンを防止することができる。すなわ

問題になる。このため図示のようにその間の距離をある程度とることが必要である。したがって面積的には不利であるが、縦方向については、図12の実施例と同様に、 $1\mu m$ 以上と厚い酸化膜2とパッファ層10の働きにより、高耐圧が得られる。

【0058】図14は、図10の実施例において、高抵抗シリコン層4を p^- 型層ではなく、 n^- 型層とした実施例である。

【0059】この実施例の場合、中央部表面の n^+ 型層6と側面の n^+ 型層27とは、図8のように分離されず、したがって逆バイアス印加時に周辺部で表面の p^+ 型層7と n^+ 型層27との間の $p-n$ 接合30の耐圧が問題になる。しかし、この場合でも、酸化膜2の膜厚、高抵抗シリコン層4の不純物濃度と厚み等を最適設計すれば、十分高耐圧化ができる。このことを、図15および図16を参照しながら説明する。

【0060】逆バイアス印加時、図15に示すように、 p^+ 型層7からは下方に空乏層51が伸び、同時に酸化膜2から上方に空乏層52が伸びる。逆バイアスを大きくすると、図16に示すようにこれらの空乏層51、52はつながる。空乏層51、52がこの様につながると、周辺の n^+ 型層27は素子中央の n^+ 型層6とは電氣的に分離されてフローティングになる。それ以上逆バイアスを大きくしても、 n^+ 型層27の電位はもはや n^+ 型層6の電位に追随しない。従って、空乏層51、52がつながる時の逆バイアス電圧を V_0 、 $p-n$ 接合30のブレイクダウン電圧を V_B として、 $V_0 < V_B$ であれば、 $p-n$ 接合30には電圧 V_B がかかるとはならず、 $p-n$ 接合30でのブレイクダウンは防止される。

【0061】具体的に例えば、 p^+ 型層7の深さを $5\mu m$ 、 $p-n$ 接合30のブレイクダウン電圧を $V_B = 1.0V$ とする。また、図14に示す p^+ 型層7の幅 w は、 $10\mu m$ 程度以上あるものとする。このとき、高抵抗シリコン層4の不純物濃度を $1.3 \times 10^{14} / cm^3$ 以下、厚みを $20\mu m$ 、酸化膜2の厚みを $2\mu m$ とすれば、

ち酸化膜2を $1\mu m$ 以上と厚くすれば、図1或いは図8と同様の高耐圧特性が得られる。

【0064】図17は、図14の構造を基本として、高抵抗シリコン層4の底部に n^- 型パッファ層10を設けて、より高耐圧化を図った実施例である。

【0065】図18は、図14の実施例を若干変形した実施例である。この実施例では、高抵抗シリコン層4の側面に酸化膜3に接して形成される n^+ 型層31が表面まで露出して、 p^+ 型層7との間で横方向に $p-n$ 接合32が形成されている。この構造は、図14と同じ拡散層レイアウトを用いて得られる。即ち図14の構造は、 n^+ 型層27より p^+ 型層7の不純物濃度を高く設定する

13

ことにより得られ、図18の構造は n^+ 型層31の不純物濃度を p^+ 型層7より高く設定することにより得られる。この実施例でも図14と同様の高耐圧が得られる。

【0066】図19は、図18の構造に於いて、高抵抗シリコン層4の底部に n^- 型パツファ層10を設けて、一層の高耐圧化を図った実施例である。

【0067】図20は、図18の構造を変形した実施例のMOSFETである。高抵抗シリコン層4の側面の n^+ 型領域31から離れて p 型チャネル領域201が形成され、その中にソースとなる n^+ 型領域202が形成され、 n 型領域203がドレインとなる。 n 型領域203上にドレイン電極18が、 p 型領域201と n^+ 型領域202に跨がってソース電極19がそれぞれ形成されている。 n^+ 型領域202と n^- 型の高抵抗シリコン層4で挟まれた p 型領域201の表面部にはゲート絶縁膜20を介してゲート電極21が形成されている。

【0068】この実施例のMOSFETは、ゲートをオフにした状態でソース・ドレイン間に電圧を印加した時、図21に示すように p 型領域201の周囲および酸化膜2の上面から高抵抗シリコン層4に空乏層204、205が広がる。このとき n^+ 型領域31はドレインと同電位になっており、その下部の破線で囲んだ部分 A_1 、 A_2 で電界が強くなる。印加電圧が大きくなると、図22に示すように、 p 型領域201の周囲の空乏層204は側面の n^+ 型領域31に届く。 n^+ 型領域31の中には空乏層が広がらないので、それ以上印加電圧が大きくなると、破線で囲んだ B_1 、 B_2 の部分で電界が強くなる。しかし、さらに印加電圧を大きくしたとき、これらの部分でブレイクダウンする前に、図23に示すように空乏層204と205がつながり、 n^+ 型領域31の電位はドレインから切り離される。したがって n^+ 型領域31の近辺でのブレイクダウンは生じない。

【0069】例えば、図14の実施例と同様に、高抵抗シリコン層4の厚み $20\mu\text{m}$ 、酸化膜2の厚み $2\mu\text{m}$ 、 p 型領域201の深さ $5\mu\text{m}$ 、高抵抗シリコン層4の不純物濃度 $1.3 \times 10^{14}/\text{cm}^3$ であれば、約10Vの印加電圧で空乏層204と205はつながり、 n^+ 型領域31とソースとの電位差はそれ以上大きくならない。高電圧を印加して高抵抗シリコン層4内に空乏層が広がり切ったとき、 n 型領域203の下に深さ方向の強い電界が生じるが、酸化膜2が厚いために高耐圧特性が得られる。

【0070】図24は、図20においてさらに高耐圧化を図った実施例であり、高抵抗シリコン層4の底面にパツファ用 n^- 型層10が設けられている。

【0071】図25は、図20の実施例のMOSFETを基本として作ったIGBTの実施例である。 n 型領域203の中にドレイン領域として p^+ 型領域206が設けられている。高耐圧特性は図20の実施例と同様である。

14

【0072】図26は、図25の実施例を一部変形したMCTの実施例である。 n^+ 型領域202の中に p^+ 型領域207が設けられている。 p^+ 型領域207と n^+ 型領域202に跨がってカソード電極208が、 p^+ 型領域206上にアノード電極209がそれぞれ形成されている。また、 p^+ 型領域207と n^- 型高抵抗シリコン層4で挟まれた p 型領域201の表面部および n^+ 型領域202の表面部に跨がって、ゲート絶縁膜210を介してゲート電極211が形成されている。

【0073】この実施例のMCTは、アノード・カソード間にアノードが高電位となるように電圧をかけて動作させる。カソード電位を基準として、正のゲート電圧をかけて p 型領域201の表面に n チャネルを形成することにより、素子はオンする。負のゲート電圧をかけて n^+ 型領域202の表面に p チャネルを形成することにより、素子はオフする。この実施例も、図20の実施例と同様に高耐圧特性を示す。

【0074】図27は、図25の実施例を一部変形したもう一つのMCTの実施例である。 p 型領域201の中に n^+ 型領域202と並んで n^+ 型領域212が形成され、 n^+ 型領域202と n^+ 型領域212に挟まれた p 型領域201の表面部にはゲート絶縁膜213を介して第2のゲート電極214が形成されている。 n^+ 型領域202上にカソード電極215が、 p^+ 型領域206上にアノード電極209がそれぞれ形成されている。

【0075】 p 型領域201の表面の n^+ 型領域212との境界部分にコンタクトを良くするための p^+ 型領域216が形成され、 n^+ 型領域212と p^+ 型領域216にまたがって電極217が形成されている。ただし、この電極217はなくてもよい。

【0076】この実施例の素子は、第1のゲート電極21によりオン駆動され、第2のゲート電極214によりオフ駆動される。この実施例も図20の実施例と同様の高耐圧特性を示す。

【0077】図28は、図27の実施例を一部変形した実施例のESTである。 n^+ 型領域212と p^+ 型領域216にまたがってカソード電極218が形成され、 n^+ 型領域202上に電極219が形成されている。ただし、この電極219はなくてもよい。

【0078】この実施例の素子は、第1のゲート電極21と第2のゲート電極214の両方によりオン駆動され、第2のゲート電極214によりオフ駆動される。この実施例の素子も図20の実施例の素子と同様の高耐圧特性を示す。

【0079】図29は、図14の実施例の各部の導電性を逆にした実施例である。すなわち高抵抗シリコン層4が p^- 型であって、中央部表面にアノード層となる p^+ 型層22が形成され、周辺部表面にカソード層となる n^+ 型層23が形成され、酸化膜3に接する側面部に p^+ 型層33が形成されている。周辺部の n^+ 型層23と p

* 型層33の間にp-n接合34が形成される。

【0080】この実施例の場合も、p-n接合34の耐圧は低い、図14の実施例と同様に高抵抗シリコン層4の厚みや不純物濃度を最適設計することによって、p-n接合34でのブレイクダウンが防止され、高耐圧特性が得られる。

【0081】図30は、図18の実施例の各部の導電型を全て逆にした実施例である。

【0082】図31は、横方向の素子分離領域をU字状のトレンチに代ってV字溝とした実施例である。拡散層構造は、図14の実施例と同じ場合を示しているが、それ以外の先に説明した各実施例に於いても、この様なV字溝とすることができる。この様なV字溝は、異方性エッチングを用いることにより形成することができる。

【0083】図32は、図18の構造を基本として、周辺のアノード領域としてのp⁺型層7を下地の酸化膜2に達する深さに形成した実施例である。

【0084】この実施例の構造では、素子中央のn⁺型層6と周辺側壁のn⁺型層31とは電気的に分離されていて、図16の実施例のように中性領域でつながることはない。したがって周辺部のp⁺型層7とn⁺型層31の間のp-n接合のブレイクダウン電圧は素子耐圧に影響はなく、高耐圧特性が得られる。

【0085】図33は、図31の実施例に於いて、高抵抗シリコン層4の底部にn⁻型バッファ層10を設けて、一層の高耐圧化を図った実施例である。

【0086】図34は、図30の実施例の周辺のn⁺型層23を酸化膜2に達する深さに形成した実施例、言換えれば、図33の各部の導電型を逆にした実施例である。この実施例でも同様に高耐圧特性が得られる。

【0087】図35は、高耐圧ダイオードとnpnトランジスタ36を同一基板上に集積形成した実施例である。高耐圧ダイオードは、基本的に図5の実施例のものと同一である。二つの素子間にはトレンチ溝により誘電体分離されている。npnトランジスタ36は、コレクタ抵抗を低減するためトレンチ溝側面にn⁺型層が拡散形成されている。このn⁺型拡散層は、トレンチを形成した後、その側壁に酸化膜3を形成する前に形成される。したがってこのとき同時に、高耐圧ダイオード領域側のトレンチ側面にもn⁺型層27が形成される。例えば図10や図14の実施例で説明した側面のn⁺型層27は、この様な事情で形成される。

【0088】高耐圧ダイオード側では、周辺部にp⁺型層12とn⁺型層27による耐圧の低いp-n接合30が形成されるが、図14の実施例と同様に高抵抗シリコン層4の不純物濃度や厚みを設定することによって、このp-n接合30でのブレイクダウンを防止することができる。

【0089】図36は、図35の実施例を一部変形した実施例である。高耐圧ダイオードの側面のn⁺型層31

は表面まで露出した状態でp⁺型層7との間で横方向にp-n接合32が形成されている。この部分の構造は、図18と同じである。この実施例でも、逆バイアス印加時、空乏層によってn⁺型層31がカソード電位から切り離されて高耐圧が得られる。また高抵抗シリコン層4の底部にn⁻型バッファ層10を設けることによって、一層の高耐圧化が図られている。

【0090】図37は、高耐圧MOSFETとnpnトランジスタ36を同一基板上に集積形成した実施例である。高耐圧MOSFETの構造は、図6の実施例と同様である。そして図35の実施例で説明したと同様の事情で、高耐圧MOSFETの側壁にn⁺型層31が形成される。

【0091】この実施例のMOSFETが、ゲート電圧零または負でソース・ドレイン間に逆バイアスが印加された状態のとき、p型ベース層15から下方に伸びる空乏層と酸化膜2から上方に伸びる空乏層がつながると、周辺のn⁺型層31はドレイン領域であるn⁺型層17から切り離されてフローティングになる。この状態になる逆バイアス電圧がp型ベース層15とn⁺型層31間のp-n接合のブレイクダウン電圧より小さければ、このp-n接合でのブレイクダウンは防止される。したがってMOSFETの高耐圧特性が得られる。

【0092】図38は、図37におけるMOSFETを一部変形した実施例のIGBTである。n型領域17の中にp⁺型ドレイン層220が形成されている。高耐圧特性は図37の実施例と同様である。IGBTのソース領域を、図26や図27、図28のように変形してMCTやESTとすることもできる。

【0093】図39は、図38の実施例におけるIGBTのソース・ドレイン間にS-IPOS等の高抵抗体膜221を設けた実施例の一部を示す断面図である。p型ベース層15とp⁺型ドレイン層220の間の高抵抗シリコン層4の表面に絶縁膜222が形成され、その上に抵抗性フィールドプレートとなる高抵抗体膜221が設けられている。高抵抗体膜221の一端はn⁺型ソース層16の表面に接続され、他端はp⁺型ドレイン層220の表面、およびドレイン電極18に接続されている。

【0094】この実施例では、高抵抗体膜221による抵抗性フィールドプレートの効果によって、図38の実施例におけるIGBTの高耐圧特性が、さらに高められている。高抵抗体膜221の一端はp⁺型ドレイン層220の表面に接続されているので、ドレイン電極18とは離してもよい。また、もう一方の端はソース電極19と接続してもよい。

【0095】先に示した各実施例においても、ソース・ドレイン間またはアノード・カソード間にS-IPOS等の高抵抗体膜を設けることにより、高耐圧特性の向上を図ることができる。

【0096】図40は、図39の実施例のIGBTにお

17

いて、高抵抗体膜221のドレイン側の接続方法を変更した実施例である。ドレイン側の絶縁膜222上に多結晶シリコン電極223が設けられ、これに高抵抗体膜221の一端とドレイン電極18が接続されている。多結晶シリコン電極223は高抵抗体膜221とドレイン電極18の接続を良好にするために設けられているが、フィールドプレートの効果も持つ。高抵抗体膜221のソース側の端部はソース電極19に接続してもよい。

【0097】図41は、pチャネルIGBTの実施例である。これまでの実施例と同様に誘電体分離された高抵抗シリコン層4の中央部表面にn型ベース層53が形成されこのn型ベース層53内にp⁺型ソース層54が形成されている。ソース電極59はp⁺型ソース層54と同時にn型ベース層53にもコンタクトさせて配設されている。高抵抗シリコン層4の周辺にはp型ベース層55が形成され、この中にn⁺型ドレイン層56が形成されている。n⁺型ドレイン層56にはドレイン電極58が接続されている。p型ベース層55の内側には、p⁻型層リサーフ層57が形成されている。p⁺型ソース層54とp⁻型リサーフ層57に挟まれた領域表面に、ゲート絶縁膜60を介してゲート電極61が形成されている。素子領域周辺側面には、図37の実施例と同様にn⁺型層31が形成されている。

【0098】この実施例のIGBTは、ソース電極59に、ドレイン電極58に対して正の電圧を印加して動作させる。ゲート電圧が零または正でオフの状態では、高抵抗シリコン層4およびp⁻型リサーフ層57の領域に空乏層が広がる。周辺のn⁺型層31が、これとp型ベース層55との間のpn接合のブレイクダウン電圧以下のドレイン・ソース間電圧条件で空乏層によってn型ベース層53から切り離されると、このpn接合でのブレイクダウンは防止される。したがって先の各実施例と同様に高耐圧特性が得られる。

【0099】図42は、図41の実施例のpチャネルIGBTにSIPOS等の高抵抗体膜224を設けて高耐圧特性を向上させた実施例である。図39の実施例と同様に、高抵抗シリコン層4の表面に絶縁膜225が形成され、その上に抵抗性フィールドプレートとなる高抵抗体膜224が形成されている。高抵抗体膜224の一端はp⁺型ソース層54の表面に接続され、他端はn⁺型ドレイン層56の表面に接続されている。高抵抗体膜224の両端は、それぞれドレイン電極58、ソース電極59に接続してもよい。

【0100】図43は、図3の実施例において、高抵抗シリコン層4の底部すなわち酸化膜2との界面部にSIPOS等の高抵抗体膜71を形成した実施例である。この高耐圧ダイオードの製造工程は、例えば次の通りである。高抵抗シリコン層4に対応する高抵抗シリコン基板に、高抵抗体膜71、例えばSIPOSを堆積し、その上に酸化膜2をCVD等で形成する。これをシリコン

18

(または多結晶シリコン)基板1と直接接着する。この基板1は、接着でなく、多結晶シリコンを厚く堆積したものでもよい。次に高抵抗シリコン基板側を研磨して所定の厚みに調整された高抵抗シリコン層4を得る。次に素子分離領域に高抵抗体膜71に達するトレンチ溝を掘り、このトレンチ溝を酸化して酸化膜3を形成し、ここに多結晶シリコン5を埋め込む。そして表面を平坦化した後、n⁺型層6、p⁺型層7を拡散形成してできあがる。

【0101】このダイオードにおいて、基板1を接地してカソード8を高電位にすると、高抵抗体膜71がない場合はn⁻型の基板は酸化膜2側から空乏化されるが、高抵抗体膜71があるとこれで基板1の電界がシールドされるため、基板1の電位の影響はなくなり、カソード8、アノード9間の耐圧は向上する。これは、SIPOS等の高抵抗体膜71に電界がかかると、バンドギャップの深い準位によって表面に電荷が誘起され、そこで電気力線が止まるためである。さらに高抵抗体膜71には微小電流が流れ、この電流が電位勾配を決めるため、更に外からの電位の遮蔽に役立つ。したがってこの構造では、酸化膜2を1μm以下に薄くしても良い。

【0102】こうしてこの実施例によれば、下地基板1の電位の高抵抗シリコン層4に対する影響がシールドされ、効果的に高耐圧特性が得られる。

【0103】図44は、図43と同様の構造を用いたnチャネルIGBTの実施例である。図43と同様に高抵抗シリコン層4の底部にはSIPOS等の高抵抗体膜71が形成されている。高抵抗シリコン層4の厚さは1μmから5μm程度に調整されている。素子分離された高抵抗シリコン層4の中央部には高抵抗体膜71に達する深さにn型ベース層74が形成され、高抵抗体膜71と接続されている。このn型ベース層74中にp⁺型ドレイン層75が形成されている。ドレイン層75にはドレイン電極80が形成されている。高抵抗シリコン層4の周辺部にはやはり高抵抗体膜71に達する深さにp型ベース層72が形成され、高抵抗体膜71と電気的に接続されている。このp型ベース層72の中にn⁺型ソース層73が形成されている。

【0104】ソース層73とp型ベース層72と同時にコンタクトしてソース電極79が形成されている。p型ベース層72表面のn⁺型ソース層73と高抵抗シリコン層4に挟まれた領域にゲート絶縁膜77を介してゲート電極78が形成されている。n型ベース層74とp型ベース層72の間に高抵抗シリコン層4表面にはゲート絶縁膜77より厚い絶縁膜81が形成され、この上に抵抗性フィールドプレートとなる高抵抗体膜82が形成されている。高抵抗体膜82の一端はゲート電極78に接続され、他端はドレイン電極80に接続されている。

【0105】このIGBTは、ドレイン電極80に、ソース電極79に対して正の電圧を印加することにより動

作させる。ゲート電圧が零または負のとき素子はオフである。オフ状態で上述のドレイン・ソース間電圧が印加されると、高抵抗シリコン層4に空乏層が伸びる。この時、 $1\mu\text{m}$ 以上と厚い酸化膜2による電圧分担と電界緩和の働き、高抵抗体膜7.1による基板電位に対するシールド効果、および上部高抵抗体膜8.2のフィールドプレート効果によって、高耐圧特性が得られる。

【0106】ただし、高抵抗体膜7.1のシールド効果があるので、酸化膜2の厚さは $1\mu\text{m}$ 以下にすることもできる。

【0107】図45は、図44を变形した実施例のIGBTである。この実施例では、高抵抗シリコン層4と高抵抗体膜7.1との間に酸化膜8.3を介在させている。この酸化膜8.3は、ソース領域とドレイン領域の下に開口が開けられている。したがって高抵抗体膜7.1の一端はp型ベース層7.2を介してソース電位に、他端はn型ベース層7.4を介してドレイン電位に設定されるようになっている。またその間には酸化膜8.3によって高抵抗シリコン層4と絶縁されているので、高抵抗体膜7.1中にできる電位勾配は図44の場合よりも均一になる。

【0108】このIGBTを作るには、高抵抗シリコン層4になる基板の表面に酸化膜8.3を形成し、コンタクトのための開口を開け、この上にSIPOS等の高抵抗体膜7.1を堆積する。この高抵抗体膜7.1の表面と下地基板1の表面の一方または両方にCVDや熱酸化によって酸化膜を形成し、これらを直接接着する。この下地基板1は接着でなく、多結晶シリコンの堆積によって形成してもよい。その後トレンチ溝により素子分離を行う方法は、図43の場合と同様である。高抵抗シリコン層4の厚みは図44の場合と同様、 $1\mu\text{m}$ から $5\mu\text{m}$ 程度にしてあるので、p型ベース層7.2、n型ベース層7.4は高抵抗体膜7.1にまで達する。

【0109】この実施例においては、高抵抗シリコン層4の底部の高抵抗体膜7.1は、上記実施例のように基板電位の影響をシールドする働きと同時に、上部高抵抗体膜8.2と同様のフィールドプレートの働きをしている。したがってこの実施例によっても、十分な高耐圧特性が得られる。

【0110】図46は、図44を变形した実施例のIGBTである。ドレイン層7.5が高抵抗体膜7.1まで達し、また、高抵抗シリコン層4の側面には図32と同様に n^+ 型層3.1が形成されている。この構造でも、図44の実施例と同様に高耐圧特性が得られる。

【0111】図47は、図46の実施例のIGBTにおいて、高抵抗体膜8.2の接続法を変更した実施例である。高抵抗体膜8.2は、一端が n^+ 型ソース層7.3の表面に接続されており、他端が p^+ 型ドレイン層7.5およびドレイン電極8.0に接続されている。ドレイン側では、高抵抗体膜8.2とドレイン電極1.8とは離れていてもよい。また、高抵抗体膜8.2のソース側の端はソース

電極1.9と接続してもよい。

【0112】図48は、図45を变形した実施例のIGBTである。ドレイン層7.5は、高抵抗体膜7.1に達するように形成され、ソース電極7.9およびドレイン電極8.0と高抵抗体膜7.1の間を金属等の導電体8.4、8.5でつないで、更に高い耐圧を得ている。

【0113】図43～図48の実施例のように素子底部にSIPOS等の高抵抗体膜を設けることは、これらより先に示した実施例においても有効である。

【0114】図44～図48の実施例においては高抵抗シリコン層4が薄いので、表面から高抵抗体膜7.1に達する酸化膜を容易に形成することができる。したがって素子分離溝を形成する代りに、LOCOS法により素子分離を行うことができる。

【0115】図49は、素子間分離をLOCOS法で行った実施例である。高抵抗シリコン層4の表面から高抵抗体膜7.1に達する酸化膜2.2.6が局所的に形成され、これにより横方向の素子分離が行われている。この実施例では、酸化膜2.2.6により分離された領域の一つに、図46の実施例のIGBTが形成され、他の一つにロジック素子であるCMOS回路が形成されている。ただし、図46における n^+ 型層3.1はトレンチ側面に形成されたものであるため、この図49では入っていない。これに相当する n^+ 型層をIGBTのソース電極7.9の下に高抵抗体膜7.1に達するように形成してもよい。これにより、ソース電極7.9と高抵抗体膜7.1との電気的接続をより良くすることができる。

【0116】図50は、図49の高抵抗体膜7.1がない実施例である。高抵抗体膜7.1がない代わりに、酸化膜2を $2\mu\text{m}$ 以上と厚くすることによって、高耐圧特性を得ている。

【0117】図51は、LOCOS法による素子分離を、図48の実施例に適用した実施例である。LOCOS酸化膜2.2.6は、高抵抗シリコン層4の表面から酸化膜8.3に達するように形成されている。

【0118】図52は、LOCOS法により分離された領域にMCTを形成した実施例である。このMCTは、図49の実施例のIGBTを一部変形したものである。 p 型領域7.2の中に n^+ 型領域7.3と並んで別の n^+ 型領域2.2.7が形成され、 n^+ 型領域7.3と n^+ 型領域2.2.7に挟まれた p 型領域7.2の表面部にはゲート絶縁膜2.2.8を介して第2のゲート電極2.2.9が形成されている。 n^+ 型領域7.3上にカソード電極2.3.0が、 p^+ 型領域7.5上にアノード電極2.3.1がそれぞれ形成されている。 p 型領域7.2の表面の n^+ 型領域2.2.7との境界部分にコンタクトを良くするための p^+ 型領域2.3.2が形成され、 n^+ 型領域2.2.7と p^+ 型領域2.3.2にまたがって電極2.3.3が設けられている。ただし、この電極2.3.3はなくてもよい。

【0119】この実施例の素子は、第1のゲート電極7

8によってオン駆動され、第2のゲート電極2・2・9によってオフ駆動される。

【0120】図53は、図49の実施例のIGBTを一部変形した実施例である。高抵抗体膜8・2の両端は、 n^+ 型ソース層7・3の表面と p^+ 型ドレイン層7・5の表面にそれぞれ接続されている。ソース側の一端をソース電極7・9に接続してもよい。

【0121】図54は、図44の実施例のIGBTを一部変形した実施例である。この実施例では、図44における素子底部の高抵抗体膜7・1がなく、その代わりに底部酸化膜2の内部に多結晶シリコン膜2・3・4が埋設されている。多結晶シリコン膜2・3・4はイオン注入等により所定の比抵抗に設定されており、適当な間隔をもってストライプ状またはメッシュ状にパターン形成されている。この多結晶シリコン膜2・3・4がフィールド・プレートの働きをして、素子の高耐圧特性が実現されている。

【0122】図55は、図54の実施例の素子において、多結晶シリコン膜2・3・4の下に更に同様の多結晶シリコン膜2・3・5を設けた実施例である。これらの二層の多結晶シリコン膜2・3・4、2・3・5は、それらの間隔が互い違いになるように配置されている。すなわち多結晶シリコン膜2・3・4の間隔の下には必ず多結晶シリコン膜2・3・5があるように、パターン形成されている。この様な多結晶シリコン膜の配置により、素子に対する基板1の電位の影響が効果的にシールドされる。

【0123】図56(a)のシリコン基板は、素子領域である高抵抗シリコン層4になる基板であり、これに図56(b)Bに示すように熱酸化によって酸化膜2・3・6を形成する。続いて図56(c)に示すように多結晶シリコン膜2・3・6を形成する。この多結晶シリコン膜2・3・6にはその後イオン注入等によって不純物をドーピングして所定の比抵抗を与える。次に図56(d)に示すように、多結晶シリコン膜2・3・4を所定の間隔を持つストライプパターンまたはメッシュパターンに形成し、その後図56(e)に示すように、CVD等による酸化膜2・3・7で多結晶シリコン膜2・3・4の上および間隙部を完全に埋める。

【0124】そして図56(f)に示すように研磨して表面を平坦化した後、図56(g)に示すように再度多結晶シリコン膜2・3・5を堆積し、これを図56(h)に示すようにパターンニングした後、図57(a)に示すようにCVD酸化膜2・3・8を堆積し、図57(b)に示すように研磨して表面を平坦化する。図56(c)～図57(b)工程は、図56(c)～図56(f)までの工程の繰り返しである。

【0125】なお、図57(a)の状態から直接研磨して図57(b)の状態を得る代りに、図57(c)に示すように厚めの多結晶シリコン膜2・3・9を堆積してこれを研磨して、図57(d)に示すような平坦基板を得ることもできる。

【0126】以上のようにして多結晶シリコン膜を二層埋め込んだ酸化膜が形成された状態の図57(b)の基板(または図57(d)の基板)とは別に、熱酸化膜2・4・0を形成したシリコン基板1を用意して、これらを図57(e)に示すように直接接着して、一体化基板を得る。そして図57(f)に示すように、高抵抗シリコン層4が所定の厚みになるように研磨して、素子基板が完成する。この際、素子基板周辺の接着不完全な部分は削り落とす。図57(e)の基板1の熱酸化膜2・4・0は、必ずしも付けなくてもよい。

【0127】以上は、二枚の基板を用いた誘電体分離素子基板の製造工程例であるが、一枚の基板を用いて同様の素子基板を得ることもできる。例えば、図57(a)の状態の基板を形成した後、図58(a)のように厚く多結晶シリコン2・4・1を堆積し、この多結晶シリコン2・4・1をそのまま台基板とする。そして図58(b)に示すように、高抵抗シリコン層4が所定厚みになるように研磨して、同様の素子基板が得られる。

【0128】また以上の素子基板形成工程において、多結晶シリコン膜2・3・5の堆積、パターンニング工程を省略すれば、図55の実施例の素子基板が得られる。

【0129】図59は、図55の実施例を一部変形した実施例である。この実施例では、多結晶シリコン膜2・3・4が p 型ベース層7・2と n 型ベース層7・4間のドリフト層の下にのみ設けられている。

【0130】図60は、図55の実施例を一部変形して、多結晶シリコン2・3・4、2・3・5を p 型ベース層7・2と n 型ベース層7・4間のドリフト層下にも設けたものである。

【0131】図61は、図54の実施例を一部変形した実施例である。図48の実施例と同様に、ソース電極7・9およびドレイン電極8・0の下に、金属等の導電体8・4、8・5が埋め込まれ、これにより素子底部の多結晶シリコン2・3・4がソース電極7・9およびドレイン電極8・0に接続されている。多結晶シリコン2・3・4のそれぞれ導電体8・4、8・5に接続される部分2・3・4a、2・3・4bは、フィールドプレートとして適当に長さを持つように設計されている。

【0132】図62は、図61の実施例において、多結晶シリコン2・3・4の下に、図55の実施例のように多結晶シリコン2・3・5を配設して、基板電位の影響を効果的にシールドするようにした実施例である。

【0133】図63は、図54の実施例を一部変形した実施例である。この実施例では、素子底部に埋め込まれた多結晶シリコン膜2・3・4の p 型ベース層7・2および n 型バッファ層7・4の下方にある部分2・3・4cおよび2・3・4dの一部が酸化膜2の上面に露出しており、それぞれ p 型ベース層7・2および n 型バッファ層7・4に接続されている。したがって多結晶シリコン膜2・3・4のソース直下、ドレイン直下の部分がそれぞれソース電位、ドレイン

ン電位に設定される。この様な電位に設定される多結晶シリコン膜234の部分234c、234dは、図61の実施例と同様にフィールドプレートとして適当な長さに設定されている。

【0134】この実施例の素子基板を製造する際には、先の図56(a)～58(b)で説明した工程において、図56(b)と図56(c)の間に、p型ベース層72と多結晶シリコン234c、n型バッファ層74と多結晶シリコン234dの接続部となる位置で酸化膜236に開口を設ける工程を付加すればよい。

【0135】図64は、図61の実施例において、図60の実施例と同様に、多結晶シリコン膜234の下に多結晶シリコン膜235を設けたものである。

【0136】図65は、図54の実施例のIGBTを一部変形した実施例である。この実施例では、図54の実施例における高抵抗体膜82の代りに、素子底部の多結晶シリコン膜234と同様の多結晶シリコン膜242をフィールドプレートとして配設している。この多結晶シリコン膜242はゲート電極78と同時に形成することができるので、図54の実施例に比べて製造工程は簡単になる。

【0137】図66は、図65の実施例において、図55の実施例のように底部の多結晶シリコン膜234の下にさらに多結晶シリコン膜235を設け、また上部の多結晶シリコン膜242の上にさらに多結晶シリコン膜243を設けた実施例である。これにより、素子上下のシールド効果が大きくなる。

【0138】以上、図54～図66において説明した実施例の多結晶シリコン膜234、235、242、243は、多結晶シリコン膜に限らず、SIPOSや他の導電体または抵抗体で置き換えることが可能である。また図54～図66で説明したと同様の変形は、ダイオード、MOSFET、MCT、EST等においても有効である。

【0139】以上説明したように本発明によれば、下地半導体基板から絶縁膜により分離され、横方向には素子分離用絶縁膜またはpn接合により分離された高抵抗半導体層を用い、その表面に第1導電型の第1の低抵抗領域と第2導電型の低抵抗領域を形成して構成される高耐圧半導体素子において、高抵抗半導体層内の不純物のドーザ量を、第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加したときに、高抵抗半導体層の、第1の低抵抗領域と第2の低抵抗領域との間の部分が完全に空乏化するような値に設定されている。その結果、十分な高耐圧特性を得ることができる。また、絶縁膜の膜厚を1μm以上と厚くした場合には、素子の逆バイアス電圧を絶縁膜で大きく分担させ、また絶縁膜中の電界に依存する高抵抗半導体層中の電界を弱くすることによって、高抵抗半導体層が薄いものであっても十分な高耐圧特性を得ることができる。そして、高抵抗半導体層を薄くする

ことができる結果、素子分離が容易になる。

【0140】本発明の第2の態様に係る高耐圧半導体素子は、高抵抗半導体層の表面領域に、互いに離間して形成された第1導電型の第1の低抵抗領域と第2導電型の第2の低抵抗領域とを具備しており、これら第1の低抵抗領域と第2の低抵抗領域との間に電圧を印加し、かつ第1の低抵抗領域の電位と第2の低抵抗領域の電位はいずれも前記半導体基板の電位よりも高いときに、高抵抗半導体層の底部に第2導電型、例えばp型のチャネル領域が形成される。このp-チャネル領域は正の電荷を有するので、基板とともにキャパシタを形成し、ことによって半導体基板の電位の影響をシールドし、高抵抗半導体層が空乏化するのを防止する。

【0141】また、高抵抗の活性層（高抵抗半導体層）に形成される高不純物濃度層が分離用の絶縁膜まで達するように、薄い活性層を用いた場合には、例えば、第1導電型の高不純物濃度層が第1の絶縁膜に達する深さに形成され、第2導電型の高不純物濃度層と基板を接地した状態で、第1導電型の高不純物濃度層にpn接合が逆バイアスとなる高電圧が印加されたとする。このとき第1導電型の高不純物濃度層に印加される電圧は、縦方向には全て第1の絶縁膜で分担される。また横方向には、活性層表面に設けられた高抵抗体膜内に形成される様な電位分布に従って、活性層表面の横方向電位分布も均一なものとなる。以上により、活性層内部の電界集中は緩和されて、従来にない高耐圧特性が得られる。

【0142】また本発明では、薄い活性層が用いられるから、横方向の素子分離も容易になる。

【0143】以下、図面を参照しながら本発明の第2の態様に係る高耐圧半導体素子について説明する。

【0144】図67は、本発明の一実施例に係る横型ダイオードである。シリコン基板301上に、シリコン酸化膜（第1の絶縁膜）302を介して、n⁻型の高抵抗シリコン層（活性層）303が形成されている。シリコン酸化膜302は1～5μm程度の厚さとする。n⁻型活性層303は、厚さが2μm以下で、不純物総量が、 $1.0 \times 10^{10}/\text{cm}^2 \sim 2.0 \times 10^{12}/\text{cm}^2$ の範囲、より好ましくは、厚さが0.4μm以下で不純物総量が $0.5 \sim 1.8 \times 10^{12}/\text{cm}^2$ に設定されている。この活性層303に、所定距離離れて高不純物濃度のp型アノード層304と高不純物濃度のn型カソード層305が形成されている。p型アノード層304とn型カソード層305は、図示のように活性層底部のシリコン酸化膜302に達する深さに拡散形成されている。ただし、p型アノード層304は、シリコン酸化膜302に達しない深さでもよい。

【0145】活性層303のp型アノード層304とn型カソード層305により挟まれた領域上には、シリコン酸化膜（第2の絶縁膜）306を介して、高抵抗体膜307が配設されている。シリコン酸化膜306は0.1

3 μm 以下、より好ましくは0.2 μm 以下の厚さとする。高抵抗体膜307は、例えばSIPOS (Semi-Insulating Polycrystalline Silicon) である。高抵抗体膜307の表面は保護膜としてのシリコン酸化膜308により覆われている。

【0146】p型アノード層304、n型カソード層305にはそれぞれ、アノード電極309、カソード電極310が形成されている。高抵抗体膜307の両端部はこれらアノード電極309、カソード電極310に接続されている。

【0147】この実施例によれば、優れた高耐圧特性が得られる。例えば、p型アノード層304と基板301を接地して、n型カソード層305に正の高電圧を印加した場合について考える。n型カソード層305は、活性層底部のシリコン酸化膜302に達する深さに形成されているから、縦方向には、n型カソード層305に印加される電圧は全てシリコン酸化膜302で分担される。また、アノード・カソード間電圧により、活性層303の表面に形成された高抵抗体膜307には微小電流が流れて、横方向に様な電位分布が形成される。この高抵抗体膜307内の電位分布の影響を受けて、高抵抗体膜307直下の活性層303内も横方向に様な電位分布が形成される。以上の結果、素子内部の電界集中は緩和されて、高耐圧が実現される。

【0148】高抵抗体膜307の様な電位分布の影響が活性層303に十分に伝わるためには、高抵抗体膜307の下にシリコン酸化膜306は薄い方がよく、前述のようにこれが0.2 μm 以下で好ましい高耐圧特性が得られる。また、基板電位の活性層3に対する影響を小さくして、相対的に高抵抗体膜307の電位の影響を大きくするためには、活性層303下のシリコン酸化膜302は活性層より厚い方がよい。

【0149】この実施例の効果を裏付ける具体的なデータを以下に説明する。

【0150】図122は、n⁻型活性層303の不純物総量と耐圧の関係を示している。図から明らかなように、不純物総量がほぼ $1.8 \times 10^{12}/\text{cm}^2$ の点を境にして、これを越えると耐圧は急激に低下する。約500 V以上の耐圧を得る上で許容される不純物総量の範囲は、 $1.0 \times 10^{10}/\text{cm}^2 \sim 2.0 \times 10^{12}/\text{cm}^2$ である。

【0151】図123は、活性層303の厚さが0.1 μm のときの高抵抗体膜307下の酸化膜306の膜厚と耐圧の関係である。酸化膜306の膜厚が大きいと、高抵抗体膜307による活性層の電位分布一様化の効果が得られず、0.3 μm 以下でその効果が現れる。特に0.2 μm 以下にすると、耐圧向上に顕著な効果が認められることが分かる。

【0152】図124は、活性層303の厚みと耐圧の関係を示すデータである。活性層厚みが2 μm 以下で

は、薄くなるにつれて耐圧が向上する。これは、p型アノード層304およびカソード層305が酸化膜302に達する深さに形成されていることと、活性層303上の高抵抗体膜307による活性層303内の電位分布均一化の効果によるものである。

【0153】図68は、図67の構造を基本として、高抵抗体膜307下のシリコン酸化膜306を省略し、高抵抗体膜307を直接活性層303の表面に配設した実施例である。この構造では、高抵抗体膜307の様な電位分布がそのまま活性層内部に伝わり、より効果的に電界集中が緩和される。

【0154】図69は、本発明をMOSFETに適用した実施例である。基板301上にシリコン酸化膜302を介して2 μm 以下の薄いn⁻型活性層303が形成される構造は、図65の実施例と同様である。n⁻型活性層303の不純物総量も図67の実施例と同様に設定される。活性層303には、図67の実施例でのp型アノード層304、n型カソード層305にそれぞれに対応するp型ベース層311、n型ドレイン層312が形成されている。p型ベース層311およびn型ドレイン層312は、シリコン酸化膜302に達する深さに形成されているが、p型ベース層311はこれより浅いものであってもよい。

【0155】p型ベース層311内にはn型ソース層313が形成され、このn型ソース層313とn⁻型活性層303により挟まれたp型ベース層311の表面部をチャネル領域として、この上に60nm程度のゲート酸化膜314を介してゲート電極315が形成されている。

【0156】p型ベース層311とn型ドレイン層312により挟まれた活性層303の表面には、図67の実施例と同様に、0.3 μm 以下、好ましくは0.2 μm 以下のシリコン酸化膜306を介して高抵抗体膜307が形成されている。高抵抗体膜307上はシリコン酸化膜308で覆われている。

【0157】ソース電極316は、n型ソース層313とp型ベース層311に同時にコンタクトするようにソース電極316が形成され、n型ドレイン層312にはドレイン電極317が形成されている。高抵抗体膜307のは端部は、ゲート電極315とドレイン電極317に接続されている。

【0158】この実施例のMOSFETも、図67の実施例のダイオードと同様に優れた高耐圧特性が得られる。

【0159】図70は、図69の構造において、活性層303をより薄くして、n型ソース層313がシリコン酸化膜302に達するようにした実施例である。図71および図72はそれぞれ、図69および図70の構造を基本として、高抵抗体膜307を直接n⁻型活性層303の表面に形成した実施例である。

【0160】これらの実施例によっても、同様に優れた

高耐圧特性が得られる。

【0161】図73は、本発明を横型のIGBTに適用した実施例である。その基本構造は、図69と同様である。図69のn型ドレイン層12に相当するものがこの実施例ではn型ベース層12'であり、このn型ベース層12'内にp型ドレイン層18が形成されている。

【0162】図74は、この様なIGBTにおいて、図70の実施例と同様にn型ソース層313およびp型ドレイン層318がシリコン酸化膜302に達する深さとなるように活性層303を薄くした実施例である。このときp型ドレイン層318がシリコン酸化膜302に接しているため、活性層底部にp型反転層によるチャネルが形成されることがある。これを防ぐにはn型ベース層312'の不純物濃度を高く設定する必要がある、具体的にはn型ベース層312'の不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 以上であればよい。

【0163】また、図75および図76はそれぞれ、図73および図74の構造を基本として、高抵抗膜307を直接活性層303の表面に接触させて形成した実施例である。

【0164】これらのIGBTにおいても、優れた高耐圧特性が得られる。

【0165】図77は、図67のダイオードにおいて、高抵抗膜307の両端を直接p型アノード層304とn型カソード層305にコンタクトさせた実施例である。

【0166】図78は同様に、図69のMOSFETにおいて、高抵抗膜307の両端をそれぞれ、n型ソース層313とn型ドレイン層312にコンタクトさせた実施例である。図79はさらに、図78の構造において、高抵抗膜307のドレイン側端部を不純物ドーブの多結晶シリコン膜319を介してドレイン電極317に接続した実施例である。図80は、図71のMOSFETにおいて、高抵抗膜307のソース側端部をn型ソース層313にコンタクトさせた実施例である。

【0167】図73～図76のIGBTの実施例においても、図には示さないが、高抵抗膜307の端部の接続をMOSFETの実施例と同様に變形することができ

る。

【0168】これらの実施例によっても、同様の効果が得られる。

【0169】図81～図94は、これまでに示した図67～図80の各実施例において、活性層303の底部にもSIPOS等の高抵抗膜320を形成した実施例である。

【0170】活性層303の底部に形成した高抵抗膜320は、活性層303の表面に設けられた高抵抗膜307と同様の働きをする。これにより素子内部の電界集中が更に効果的に緩和され、高耐圧特性が得られる。

【0171】図95～図108はそれぞれ、図81～図

94の構造において、活性層303と高抵抗膜320の間に薄いシリコン酸化膜321を介在させた実施例である。これらの実施例でも、シリコン酸化膜321の膜厚を十分薄く、好ましくは $0.2 \mu\text{m}$ 以下とすれば、高抵抗膜321の効果により優れた高耐圧特性が得られる。

【0172】なお図81～94および図95～図108では、素子底部の高抵抗膜320に対するアノード、カソードの電位或いはドレイン、ソースの電位が拡散層を介して与えられているが、溝を掘る等して電極が直接高抵抗膜320に接続されるようにしてもよい。

【0173】ここまでの実施例では、ダイオードのアノード、カソード不純物層のように、活性層内で横方向に対向する異なる導電型不純物層が共に活性層下地の酸化膜に接する場合を説明したが、本発明は、これらのうち少なくとも一方が下地酸化膜に接する状態であれば有効である。その様な実施例を次に幾つか例示する。

【0174】図109は、図67の実施例において、p型アノード層304が下地酸化膜302に接しない状態とした実施例である。逆バイアス印加時に電界集中によりブレイクダウンを生じるのはn型カソード層305側であるから、この実施例によっても十分に高耐圧特性が得られる。

【0175】図110は、図109と逆に、p型アノード層304は酸化膜302に接する深さとし、n型カソード層305は酸化膜302に達しない深さに形成された実施例である。この構造でも、n型カソード層305の下に残る活性層厚みが非常に小さいものであれば、十分な高耐圧特性が得られる。

【0176】同様の變形は先に説明した他のダイオードの実施例についても可能である。

【0177】図111および図112は、それぞれ図71および図72の実施例のMOSFETにおいて、n型ドレイン層312の深さが下地酸化膜302に達しない状態とした実施例である。これらの実施例も、n型ドレイン層312の下に残る活性層厚みが十分小さいものであれば、必要な高耐圧特性が得られる。

【0178】図113は、図71の実施例のMOSFETにおいて、p型ベース層311が下地酸化膜302に接しない深さに形成された実施例である。この場合も、図109のダイオードの実施例と同様の理由で高耐圧特性が得られる。

【0179】図114および図115は、IGBTの実施例において、ソース層、ドレイン層の一方のみが酸化膜302に接する深さに形成された実施例である。IGBTの場合、ソース、ドレイン層は高耐圧特性に直接関係ないので、この様な變形を施しても、高耐圧特性に影響はない。特に図115は、p型ドレイン層が酸化膜302に接しておらず、活性層底部のp型反転層によるチャネル形成を避けることができる。

【0180】図116および図117は、それぞれ図75および図76の実施例のIGBTにおいて、p型ベース層311が酸化膜302に達しない深さをもって形成された実施例である。IGBTでは、逆バイアス印加時、ドレイン側のn型ベース層側の電界集中が問題になるので、n型ベース層312'が酸化膜に達する深さに形成されていれば、十分に高耐圧特性が保証される。

【0181】図118および図119はそれぞれ、図116および図117と逆に、n型ベース層312'が酸化膜302に達しない深さに形成された実施例である。この場合も、n型ベース層312'下に残る活性層厚みが十分小さいものであれば、高耐圧特性が得られる。

【0182】図120は、図67の実施例において、p型アノード層304、n型カソード層305を上からの不純物拡散ではなく、横からの不純物拡散によって形成して、接合面が活性層にほぼ垂直になるようにした実施例である。同様の變形は、これまでに示した他の実施例についても可能である。

【0183】以上においては、素子の横方向分離については説明を省いたが、図121(a)～(c)に示すような分離構造を用いることができる。

【0184】図121(a)は、選択酸化法(LOCO S法)によって活性層303の底部のシリコン酸化膜302に達する深さに、横方向分離用のシリコン酸化膜322を形成したものである。本発明では、活性層303が $2\mu\text{m}$ 以下と薄いものであるため、この様に選択酸化法によって完全な誘電体分離構造を得ることが容易である。

【0185】図121(b)は、シリコン酸化膜302に達する深さの分離溝323を形成し、その側面にシリコン酸化膜324を形成した後例えば多結晶シリコン膜325を埋め込んだものである。

【0186】図121(c)は、p型拡散層326によりpn接合分離構造としたものである。これらの構造であっても、活性層303が薄いものであるために、分離領域に大きい面積を確保することなく、容易に横方向分離を行うことができる。

【0187】以上のダイオード、MOSFETおよびIGBTの各実施例において、各部の導電型を逆にすることができ、その場合にも本発明は有効である。

【0188】以上説明したように本発明の第2の態様に係る高耐圧半導体素子によれば、薄い活性層を用いて高電圧が印加される高不純物濃度層が下地絶縁膜に達するような誘電体分離構造とし、かつ活性層表面には一様電位分布が形成される高抵抗膜を配設することによって、横方向の素子分離が容易で、優れた高耐圧特性を示す半導体素子を得ることができる。

【0189】以上、本発明の高耐圧半導体素子の具体例として、高抵抗半導体層上に、絶縁層を介して、又は介さずに高抵抗膜を形成した例について説明したが、こ

の高抵抗膜は、既に述べた本発明の高耐圧半導体素子の特徵からみて、必ずしも必要ではない。従って、以下、高抵抗膜を形成しない例につき、説明する。

【0190】図125は、本発明の一実施例に係る横型ダイオードである。シリコン基板301上に、シリコン酸化膜(第1の絶縁膜)302を介して、n⁻型の高抵抗シリコン層(活性層)303が形成されている。シリコン酸化膜302は $1\sim 5\mu\text{m}$ 程度の厚さとする。n⁻型活性層303は、不純物総量が、 $1.0\times 10^{10}/\text{cm}^2\sim 2.0\times 10^{12}/\text{cm}^2$ の範囲、より好ましくは、不純物総量が $0.5\sim 1.8\times 10^{12}/\text{cm}^2$ に設定されている。この活性層303に、所定距離離れて高不純物濃度のp型アノード層304と高不純物濃度のn型カソード層305が形成されている。p型アノード層304とn型カソード層305は、図示のようにシリコン酸化膜302に達しない深さに形成されている。これらp型アノード層304に電位 V_1 を、n型カソード層305に電位 V_2 を印加し、かつ V_1 と V_2 はいずれもシリコン基板301の電位 V_{sub} よりも高いときに、高抵抗シリコン層303の底部にp型のチャネル領域303aが形成される。このp-チャネル領域303aは正の電荷を有するので、基板301とともにキャパシタを形成し、それによって基板301の電位の影響をシールドし、高抵抗シリコン層303が空乏化するのを防止される。

【0191】図126は、図125に示すp-チャネル領域303aが形成される他の例を示すMOSFETである。基板301上にシリコン酸化膜302を介してn⁻型活性層303が形成されている。活性層303には、p型ベース層311、n型ドレイン層312が形成されている。p型ベース層311およびn型ドレイン層312は、シリコン酸化膜302に達しない深さに形成されている。

【0192】p型ベース層311内にはn型ソース層313が形成され、このn型ソース層313とn⁻型活性層303により挟まれたp型ベース層311の表面部をチャネル領域として、この上に60nm程度のゲート酸化膜314を介してゲート電極315が形成されている。

【0193】図126に示すMOSFETを、回路の高電位側のスイッチとして用いる場合、MOSFETをオンさせると、ソース電位及びドレイン電位はともに基板301の電位に対して高電位となる。この場合、基板301の電位の影響がシールドされないと、活性層303が空乏化して、MOSFETのオン抵抗は非常に大きくなってしまふ。

【0194】しかし、p型ベース層311と酸化膜302との距離と、p型ベース層311の不純物濃度とを適切な値に選択すると、ソース電位 V_1 がある一定の値以上のときに、p型ベース層311から正孔が注入され、活性層303の底部にp-チャネル領域が形成され、それによって活性層303の空乏化が防止される。

【0195】この場合、 p -チャネル領域が形成されるためのソース電位 V_p は、下記の式で与えられる。

【0196】

$$V_p = q C_N l^2 / 2 \epsilon$$

q : 1.6×10^{-19} (C)

C_N : N 型不純物の濃度 (cm^{-3})

ϵ : 誘電率 (1.05×10^{-12} F/cm)

V_p は、10V以下であるのが好ましい。即ち、 $1 \leq 20 \epsilon / q C_N V_p$ を0にするには、1を0にすればよい。即ち、図127及び128に示す構造とすればよい。

【0197】図126において、ドレイン領域312の導電型が p 型となるとき、素子はIGBTとなる。そのようなIGBTでは、 n^- 活性層の電位はフローティング状態にあり、たとえ距離1がゼロよりおきくても、 p -チャネル領域は底部酸化膜302上に常に形成される。 n^- 型活性層は、不純物の拡散により形成することが出来る。

【0198】高抵抗半導体層上に高抵抗膜を形成しない構造は、以上挙げた例に限らず、図3～図120の構造において、高抵抗半導体層上の高抵抗膜を除去した構造とすることが出来る。そのような構造を図129～図153に示す。

【0199】

【発明の効果】以上説明したように本発明によれば、下地半導体基板から第1の絶縁膜により分離され、横方向には第2の絶縁膜または $p-n$ 接合により分離された高抵抗半導体層を用い、その表面に第1導電型の第1の低抵抗領域と第2導電型の低抵抗領域を形成して構成される高耐圧半導体素子において、第1の絶縁膜の膜厚を1 μm 以上と厚くして、素子の逆バイアス電圧を第1の絶縁膜で大きく分担させ、また第1の絶縁膜中の電界に依存する高抵抗半導体層中の電界を弱くすることによって、高抵抗半導体層が薄いものであっても十分な高耐圧特性を得ることができる。そして、高抵抗半導体層を薄くすることができる結果、素子分離が容易になる。

【0200】また、薄い活性層を用いて高電圧が印加される高不純物濃度層が下地絶縁膜に達するような誘電体分離構造とし、かつ活性層表面には一様電位分布が形成される高抵抗膜を配設することによって、横方向の素子分離が容易で、優れた高耐圧特性を示す半導体素子を得ることができる。

【図面の簡単な説明】

【図1】従来の高耐圧ダイオードを示す図。

【図2】従来の高耐圧ダイオードを示す図。

【図3】本発明の一実施例のダイオードを示す図。

【図4】素子底部にバッファ層を設けた実施例のダイオードを示す図。

【図5】アノード、カソードを繰り返し形成した実施例のダイオードを示す図。

【図6】本発明をMOSFETに適用した実施例を示す図。

【図7】図3のアノード、カソードを逆にした実施例のダイオードを示す図。

【図8】素子側面に低抵抗領域を設けた実施例のダイオードを示す図。

【図9】図8の素子底部にバッファ層を設けた実施例のダイオードを示す図。

【図10】素子側面に、図8と逆導電型の低抵抗領域を設けた実施例のダイオードを示す図。

【図11】横方向を $p-n$ 接合分離とした実施例のダイオードを示す図。

【図12】図11の素子底部にバッファ層を設けた実施例のダイオードを示す図。

【図13】横方向を $p-n$ 接合分離とした他の実施例のダイオードを示す図。

【図14】素子側面に低抵抗領域と低耐圧 $p-n$ 接合を持つ実施例のダイオードを示す図。

【図15】図14の素子に逆バイアスを印加した時の空乏層の伸び方を示す図。

【図16】図14の素子により高い逆バイアスを印加した時の空乏層の様子を示す図。

【図17】図14の素子底部にバッファ層を設けた実施例のダイオードを示す図。

【図18】図14を僅かに変形した実施例のダイオードを示す図。

【図19】図18の素子底部にバッファ層を設けた実施例のダイオードを示す図。

【図20】図18の構造を変形した実施例のMOSFETを示す図。

【図21】図20の素子での空乏層の拡がり方を示す図。

【図22】同じく図20の素子でより印加電圧を大きくした時の空乏層の拡がり方を示す図。

【図23】同じく図20の素子でさらに印加電圧を大きくした時の空乏層の拡がり方を示す図。

【図24】図20の素子をより高耐圧化した実施例を示す図。

【図25】図20の構成を基本としたIGBTの実施例を示す図。

【図26】図25の実施例を一部変形した実施例のMCTを示す図。

【図27】図25の実施例を一部変形した実施例のMCTを示す図。

【図28】図27の実施例を一部変形した実施例のESTを示す図。

【図29】図14の各部の導電型を逆にした実施例のダイオードを示す図。

【図30】図29を僅かに変形した実施例のダイオードを示す図。

【図31】図14の横方向分離溝をV溝とした実施例のダイオードを示す図。

【図32】第2の低抵抗領域を深く拡散形成した実施例のダイオードを示す図。

【図33】図32の素子底部にパツフナ層を設けた実施例のダイオードを示す図。

【図34】図32の各部の導電型を逆にした実施例のダイオードを示す図。

【図35】高耐圧ダイオードをnpnトランジスタと集積した実施例を示す図。

【図36】図35を変形した実施例を示す図。

【図37】高耐圧MOSFETをnpnトランジスタと集積した実施例を示す図。

【図38】図37のMOSFETを一部変形した実施例のIGBTを示す図。

【図39】図38の実施例を一部変形した実施例のIGBTを示す図。

【図40】図39の実施例を一部変形した実施例のIGBTを示す図。

【図41】本発明をpチャネルIGBTに適用した実施例を示す図。

【図42】図41の実施例のIGBTを変形した実施例を示す図。

【図43】図3の実施例において、高抵抗シリコン層底部に高抵抗体膜を形成した実施例を示す図。

【図44】図43と同様の構造を用いたnチャネルIGBTの実施例を示す図。

【図45】図44を変形した実施例のIGBTを示す図。

【図46】図44を変形した実施例のIGBTを示す図。

【図47】図46を変形した実施例のIGBTを示す図。

【図48】図45を変形した実施例のIGBTを示す図。

【図49】図46の素子の横方向素子分離をLOCOS法で行った実施例を示す図。

【図50】図49を一部変形した実施例を示す図。

【図51】図48の実施例にLOCOS法による素子分離を適用した実施例を示す図。

【図52】LOCOS法により分離された領域にMCTを形成した実施例を示す図。

【図53】図49の実施例のIGBTを一部変形した実施例を示す図。

【図54】図44の実施例のIGBTを一部変形した実施例を示す図。

【図55】図54の実施例を更に一部変形した実施例を示す図。

【図56】図55の実施例の素子基板の製造工程を示す図。

【図57】図55の実施例の素子基板の製造工程を示す図。

【図58】図55の実施例の素子基板の製造工程を示す図。

【図59】図55の実施例を一部変形した実施例を示す図。

【図60】図55の実施例を一部変形した実施例を示す図。

【図61】図54の実施例を一部変形した実施例を示す図。

【図62】図61の実施例を一部変形した実施例を示す図。

【図63】図54の実施例を一部変形した実施例を示す図。

【図64】図63の実施例を一部変形した実施例を示す図。

【図65】図54の実施例を一部変形した実施例を示す図。

【図66】図65の実施例を一部変形した実施例を示す図。

【図67】本発明を横型ダイオードに適用した実施例を示す図。

【図68】図67の構造を僅かに変形した実施例のダイオードを示す図。

【図69】本発明をMOSFETに適用した実施例を示す図。

【図70】図69の構造を変形した実施例のMOSFETを示す図。

【図71】図69の構造を変形した実施例のMOSFETを示す図。

【図72】図70の構造を変形した実施例のMOSFETを示す図。

【図73】本発明を横型IGBTに適用した実施例を示す図。

【図74】図73の構造を変形した実施例のIGBTを示す図。

【図75】図73の構造を変形した実施例のIGBTを示す図。

【図76】図74の構造を変形した実施例のIGBTを示す図。

【図77】図67の構造を変形した実施例のダイオードを示す図。

【図78】図69の構造を変形した実施例のMOSFETを示す図。

【図79】図78の構造を変形した実施例のMOSFETを示す図。

【図80】図76の構造を変形した実施例のMOSFETを示す図。

【図81】図67の構造に下地高抵抗体膜を付加した実施例のダイオードを示す図。

【図82】図68の構造に下地高抵抗体膜を付加した実施例のダイオードを示す図。

【図83】図69の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図84】図70の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図85】図71の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図86】図72の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図87】図73の構造に下地高抵抗体膜を付加した実施例のIGBTを示す図。

【図88】図74の構造に下地高抵抗体膜を付加した実施例のIGBTを示す図。

【図89】図75の構造に下地高抵抗体膜を付加した実施例のIGBTを示す図。

【図90】図76の構造に下地高抵抗体膜を付加した実施例のIGBTを示す図。

【図91】図77の構造に下地高抵抗体膜を付加した実施例のダイオードを示す図。

【図92】図78の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図93】図79の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図94】図80の構造に下地高抵抗体膜を付加した実施例のMOSFETを示す図。

【図95】図81の構造を変形した実施例のダイオードを示す図。

【図96】図82の構造を変形した実施例のダイオードを示す図。

【図97】図83の構造を変形した実施例のMOSFETを示す図。

【図98】図84の構造を変形した実施例のMOSFETを示す図。

【図99】図85の構造を変形した実施例のMOSFETを示す図。

【図100】図86の構造を変形した実施例のMOSFETを示す図。

【図101】図87の構造を変形した実施例のIGBTを示す図。

【図102】図88の構造を変形した実施例のIGBTを示す図。

【図103】図89の構造を変形した実施例のIGBTを示す図。

【図104】図90の構造を変形した実施例のIGBTを示す図。

【図105】図91の構造を変形した実施例のダイオードを示す図。

【図106】図92の構造を変形した実施例のMOSFETを示す図。

【図107】図93の構造を変形した実施例のMOSFETを示す図。

【図108】図94の構造を変形した実施例のMOSFETを示す図。

【図109】図67を変形した実施例のダイオードを示す図。

【図110】図67を変形した実施例のダイオードを示す図。

【図111】図69を変形した実施例のMOSFETを示す図。

【図112】図70を変形した実施例のMOSFETを示す図。

【図113】図69を変形した実施例のMOSFETを示す図。

【図114】図73を変形した実施例のIGBTを示す図。

【図115】図73を変形した実施例のIGBTを示す図。

【図116】図73を変形した実施例のIGBTを示す図。

【図117】図73を変形した実施例のIGBTを示す図。

【図118】図73を変形した実施例のIGBTを示す図。

【図119】図73を変形した実施例のIGBTを示す図。

【図120】図67を変形した実施例のダイオードを示す図。

【図121】本発明の素子の横方向分離の構造例を示す図。

【図122】図67の実施例の活性層の不純物総量と耐圧の関係を示す図。

【図123】図67の実施例の高抵抗体膜下の酸化膜厚と耐圧の関係を示す図。

【図124】図67の実施例の活性層厚みと耐圧の関係を示す図。

【図125】本発明の他の実施例に係るダイオードを示す図。

【図126】本発明の他の実施例に係るIGBTを示す図。

【図127】図126を変形した実施例のIGBTを示す図。

【図128】図126を変形した実施例のIGBTを示す図。

【図129】図67の実施例において、高抵抗体膜を除去した実施例のダイオードを示す図。

【図130】図69の実施例において、高抵抗体膜を除去した実施例のMOSFETを示す図。

【図131】図70の実施例において、高抵抗体膜を除去した実施例のMOSFETを示す図。

【図132】図73の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図133】図74の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図134】図81の実施例において、高抵抗膜を除去した実施例のダイオードを示す図。

【図135】図83の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図136】図84の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図137】図85の実施例において、高抵抗膜を除去した実施例のダイオードを示す図。

【図138】図97の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図139】図98の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図140】図101の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図141】図102の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図142】図109の実施例において、高抵抗膜を除去した実施例のダイオードを示す図。

【図143】図110の実施例において、高抵抗膜を除去した実施例のダイオードを示す図。

【図144】図111の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図145】図112の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図146】図113の実施例において、高抵抗膜を除去した実施例のMOSFETを示す図。

【図147】図114の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図148】図115の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図149】図116の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図150】図117の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図151】図118の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

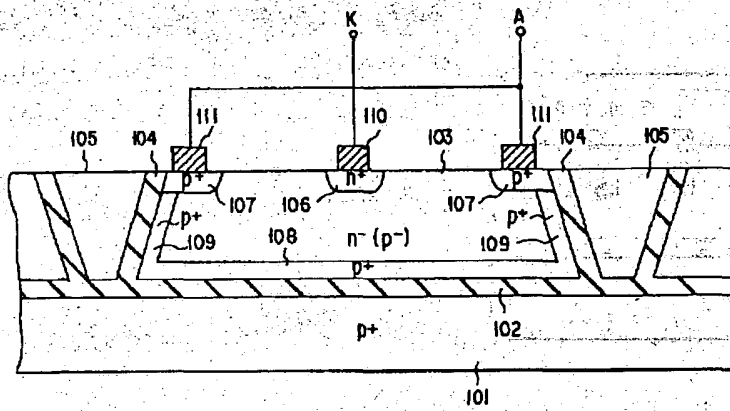
【図152】図119の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

【図153】図120の実施例において、高抵抗膜を除去した実施例のIGBTを示す図。

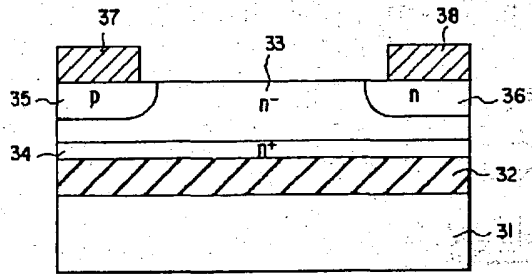
【符号の説明】

1…シリコン基板、2…酸化膜（第1の絶縁体膜）、3…酸化膜（第2の絶縁体膜）、4…高抵抗シリコン層、5…多結晶シリコン膜、6、11… n^+ 型層（第1の低抵抗領域）、7、12… p^+ 型層（第2の低抵抗領域）、8、13…カソード電極、9、14…アノード電極、10… n^- 型バッファ層、15… p 型ベース層、16… n^+ 型ソース層、17… n^+ 型ドレイン層、18…ドレイン電極、19…ソース電極、20…ゲート絶縁膜、21…ゲート電極、22… p^+ 型層（第1の低抵抗領域）、23… n^+ 型層（第2の低抵抗領域）、24…アノード電極、25…カソード電極、26… p^+ 型層（第3の低抵抗領域）、27… n^+ 型層（第3の低抵抗領域）、50… p^+ 型層（素子分離領域）、51、52…空乏層、31… p^+ 型層（第3の低抵抗領域）、53… n 型ベース層、54… p^+ 型ソース層、55… p 型ベース層、56… n^+ 型ドレイン層、57… p^- 型リサーフ層、58…ドレイン電極、59…ソース電極、60…ゲート絶縁膜、61…ゲート電極、71…高抵抗膜、72… p 型ベース層、73… n^+ 型ソース層、74… n 型ベース層、75… p^+ 型ドレイン層、77…ゲート絶縁膜、78…ゲート電極、79…ソース電極、80…ドレイン電極、81…絶縁膜、82…高抵抗膜、201… p 型領域（第2の低抵抗領域）、202… n^+ 型領域、203… n 型領域（第1の低抵抗領域）、204、205…空乏層、206… p^+ 型領域、207… p^+ 型領域、208…カソード電極、209…アノード電極、210…ゲート絶縁膜、211…ゲート電極、212… n^+ 型領域、213…ゲート絶縁膜、214…ゲート電極、215…カソード電極、216… p^+ 型領域、218…カソード電極、220… p^+ 型ドレイン層、221…高抵抗膜、222…絶縁膜、224…高抵抗膜、225…絶縁膜、226…LOCOS酸化膜、227… n^+ 型領域、228…ゲート絶縁膜、229…ゲート電極、230…カソード電極、231…アノード電極、232… p^+ 型領域、234…多結晶シリコン膜、235…多結晶シリコン膜、236、237、238…酸化膜、239…多結晶シリコン膜、240…酸化膜、241、242、243…多結晶シリコン膜。

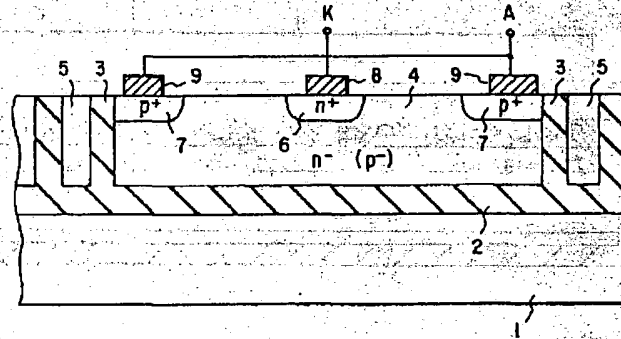
【図1】



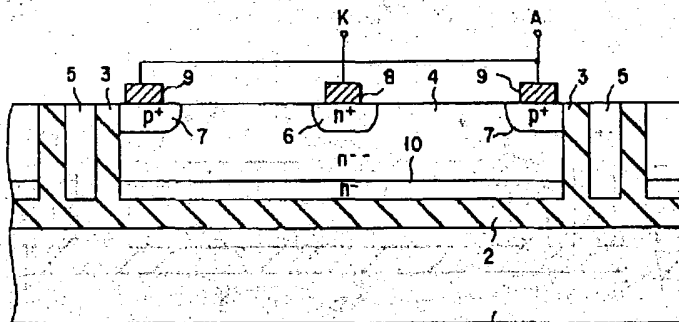
【図2】



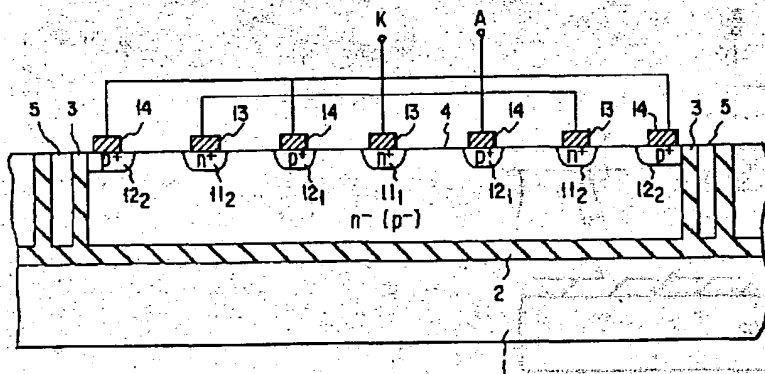
【図3】



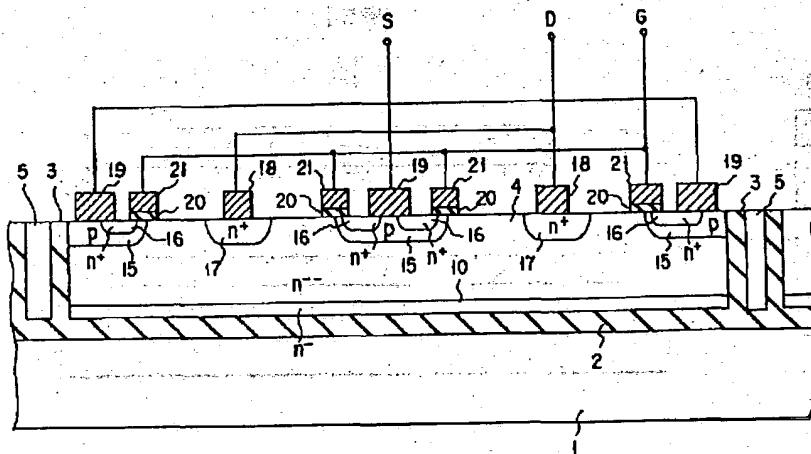
【図4】



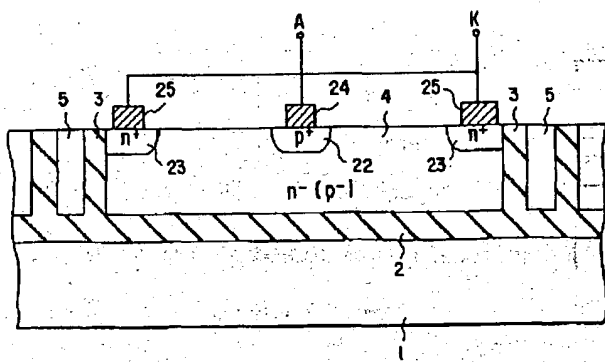
【図 5】



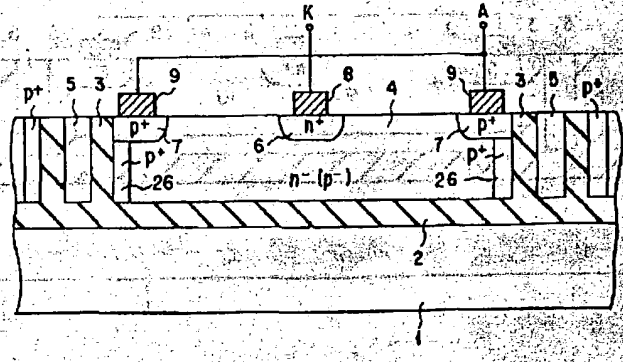
【図 6】



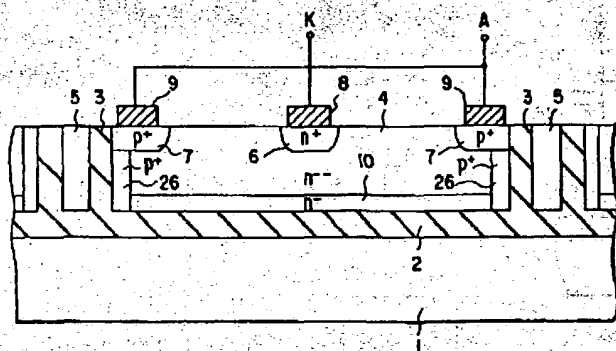
【図 7】



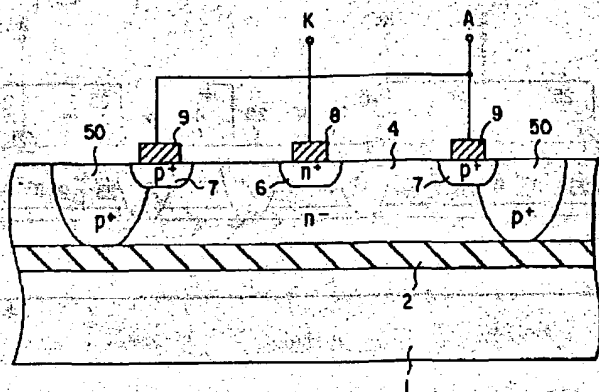
【図 8】



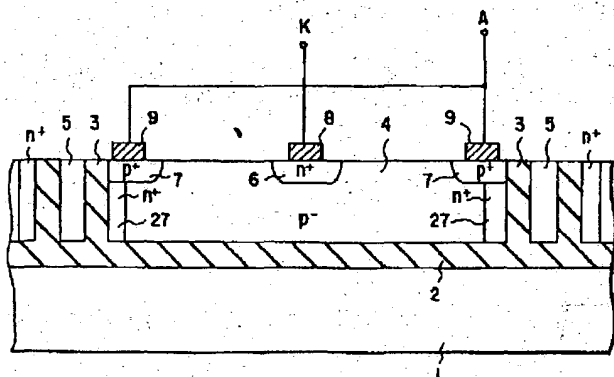
【図9】



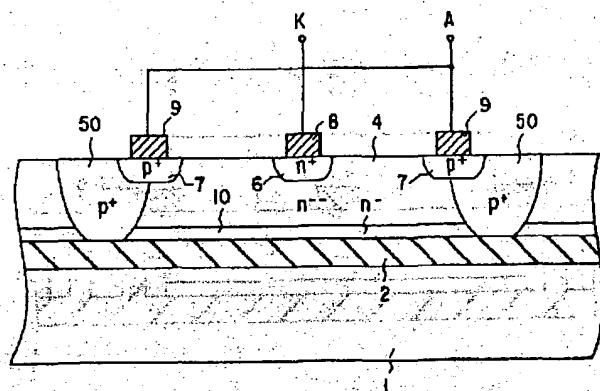
【図11】



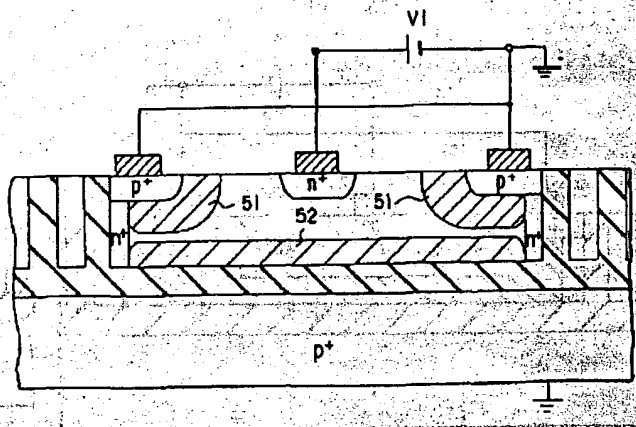
【図10】



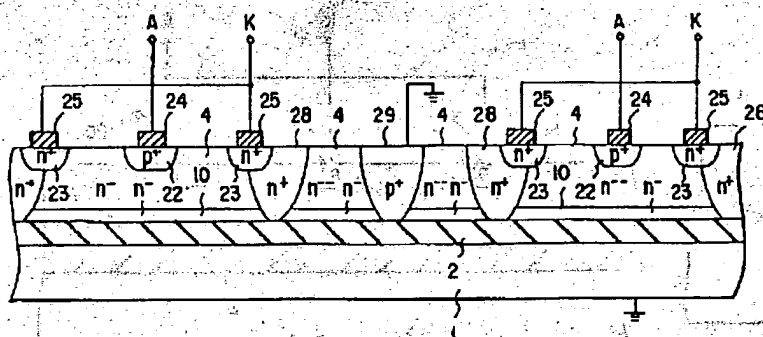
【図12】



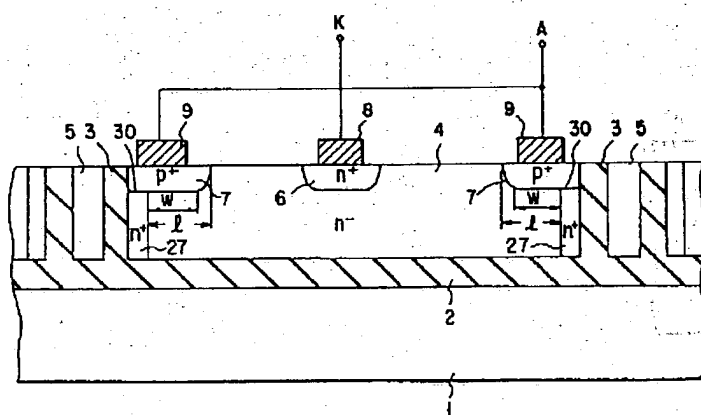
【図15】



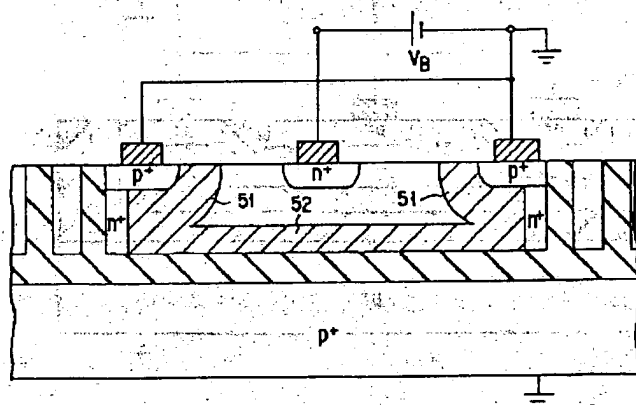
【图 13】



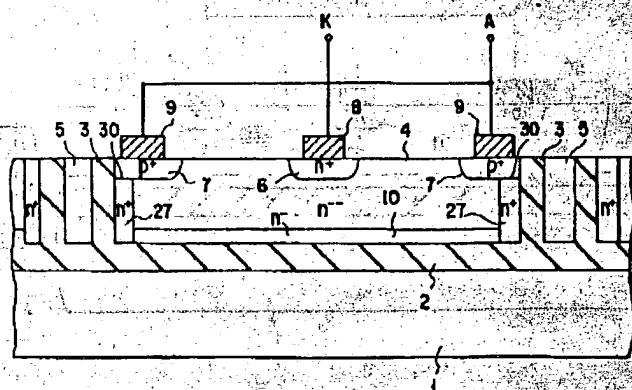
【図 14】



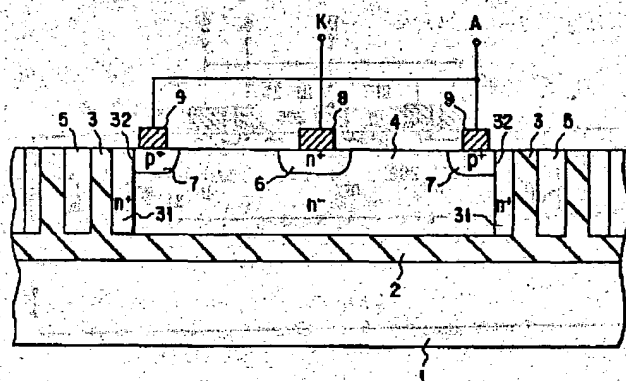
【図 16】



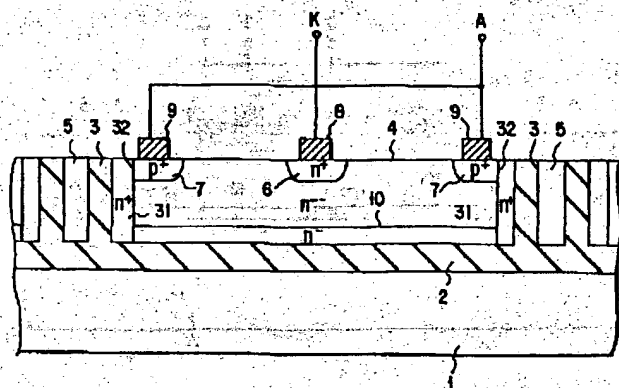
【图 17】



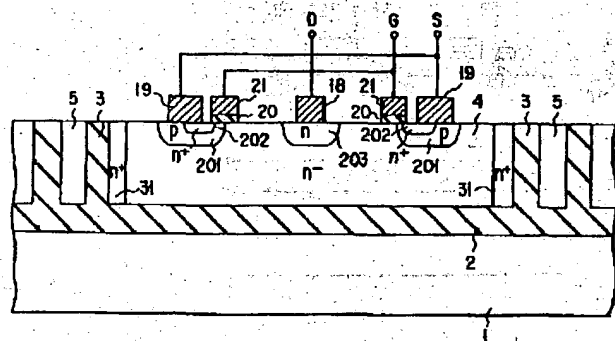
【図 1.8】



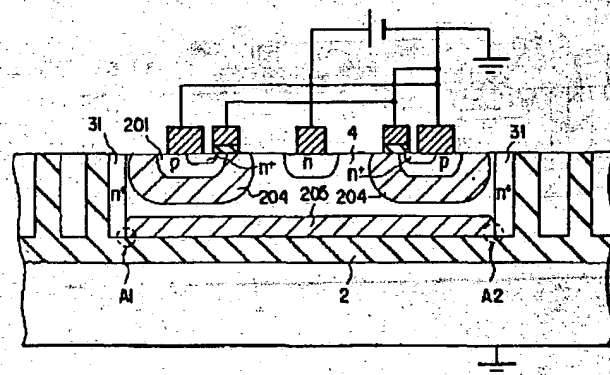
【図 19】



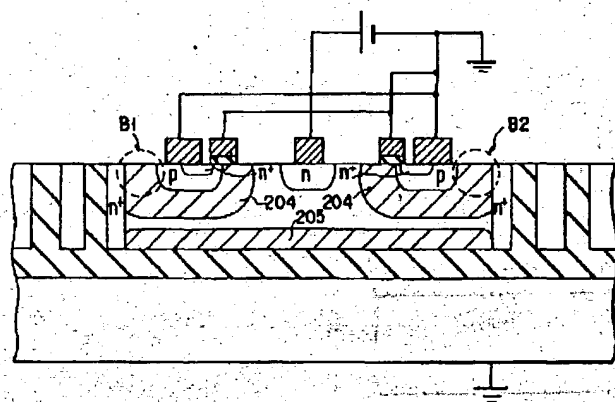
【図 20】



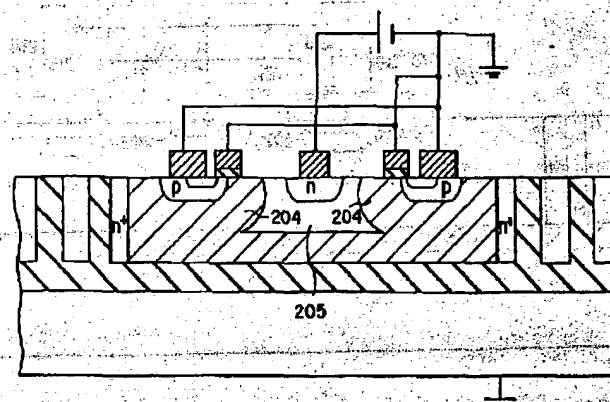
【图 2-1】



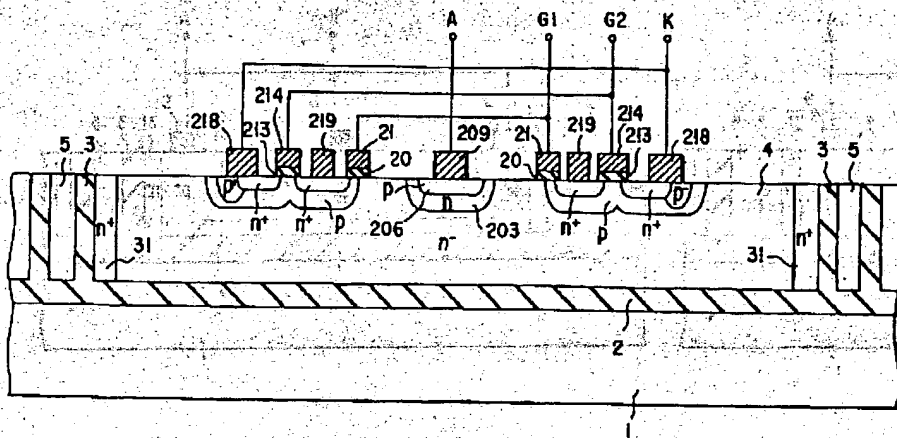
【图 2 2】



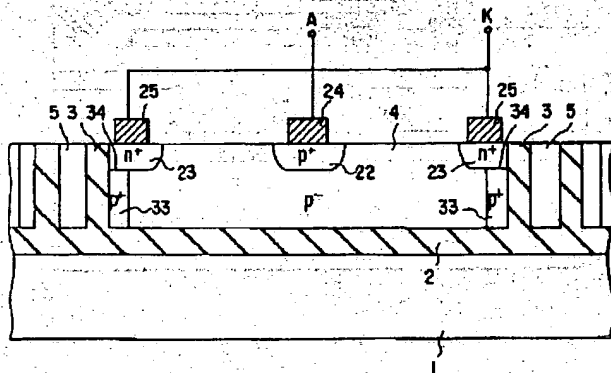
【图 2.3】



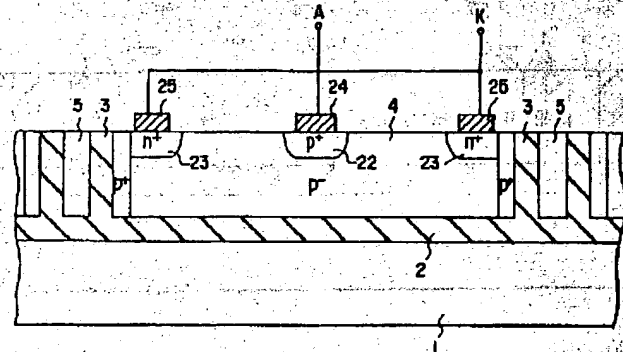
【図 28】



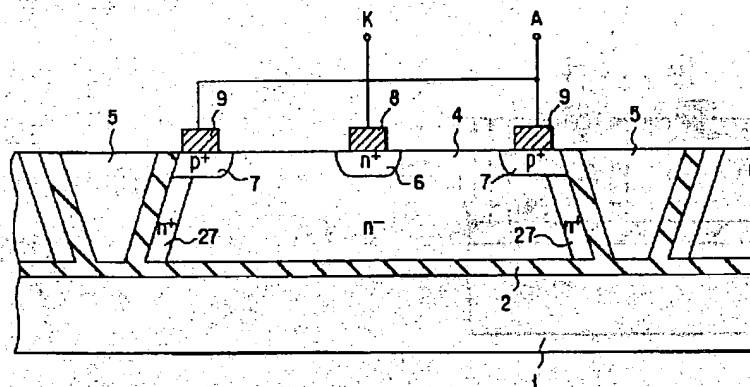
【図 29】



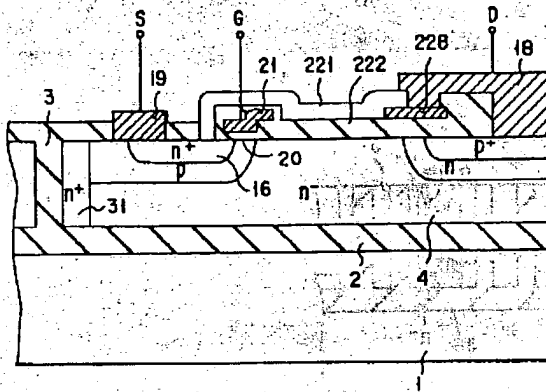
【図 30】



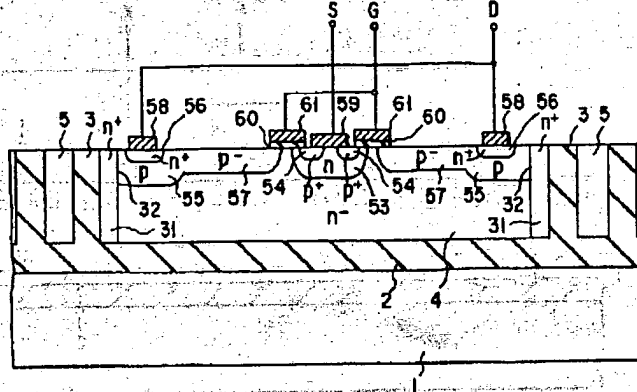
【図 31】



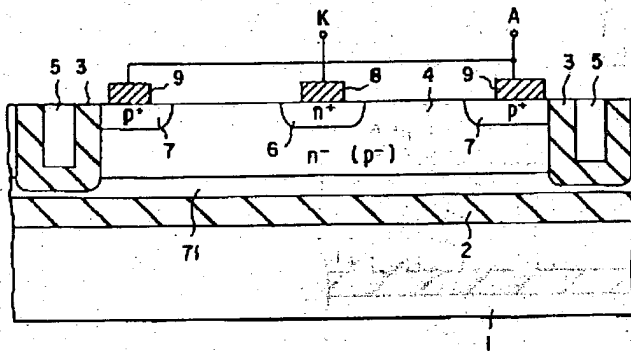
【図40】



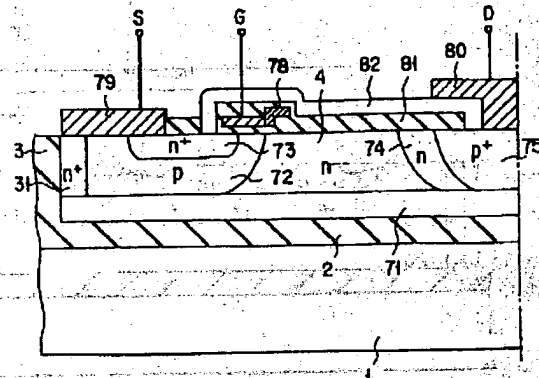
【図41】



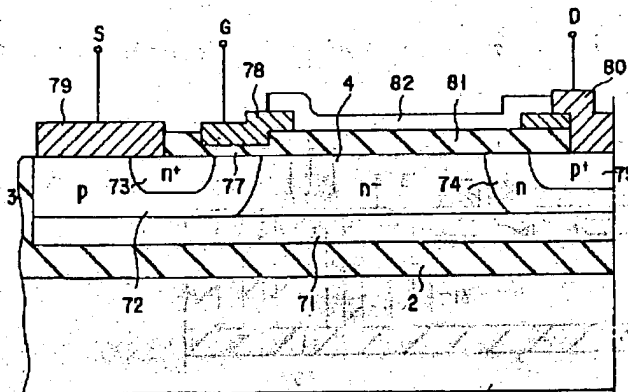
【図43】



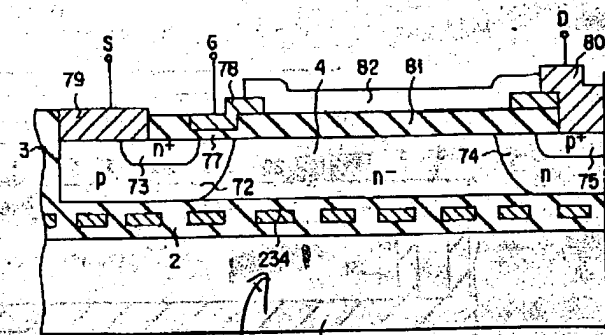
【図47】



【図44】

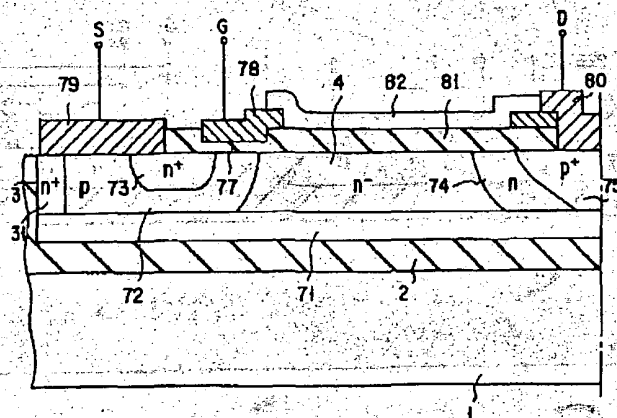


【図54】

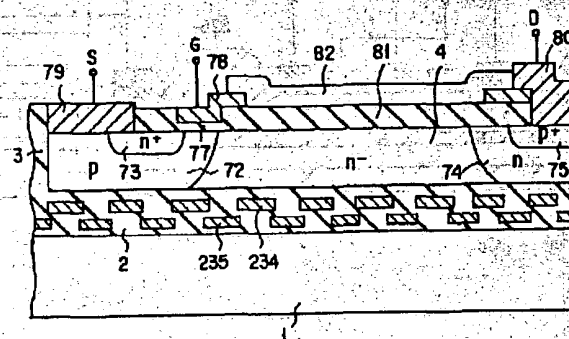


poly-Si

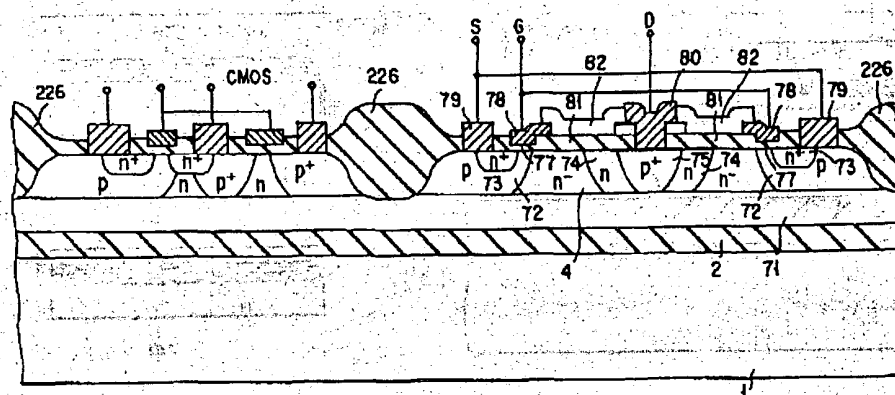
【图 4.6】



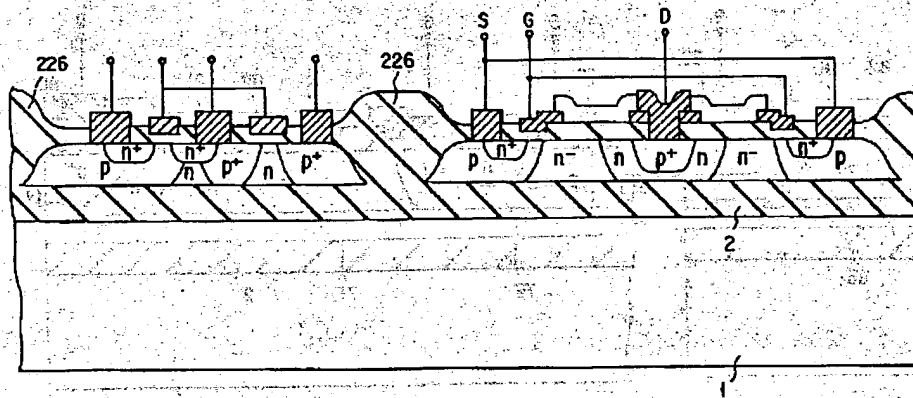
【図 5 5】



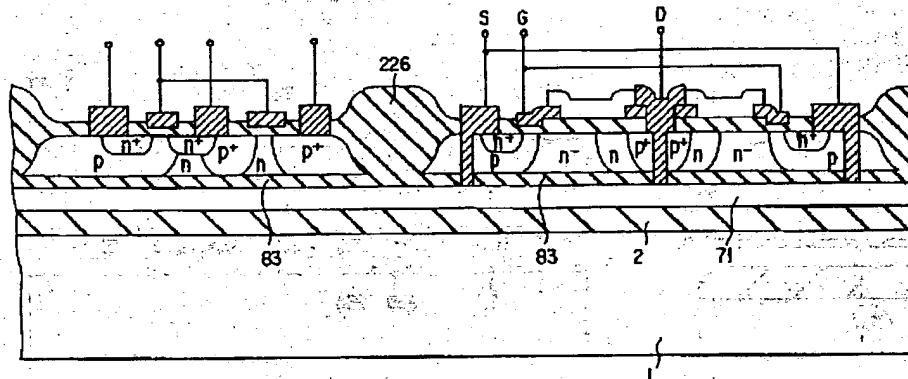
【図 49】



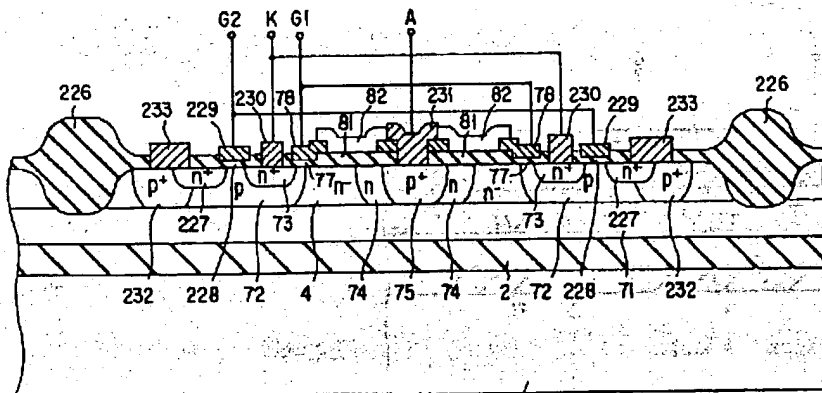
【図50】



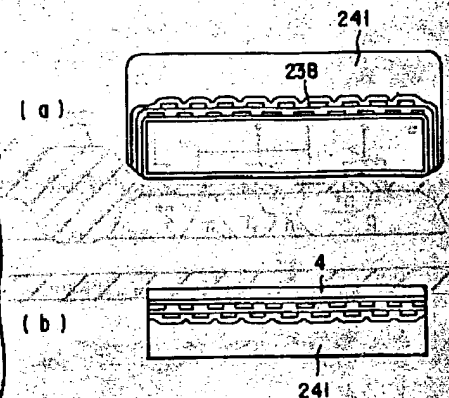
【図51】



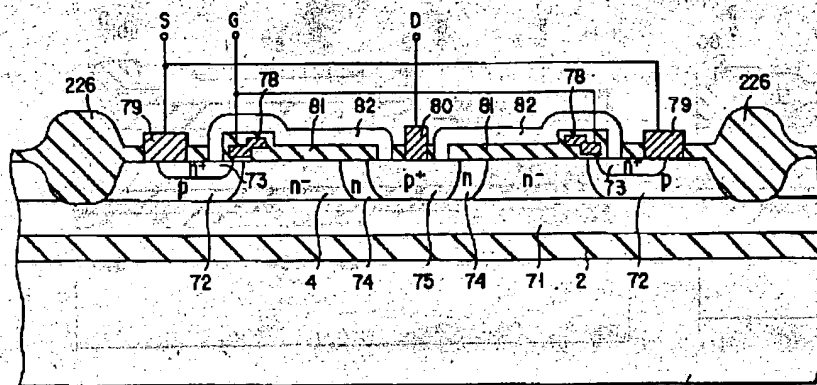
【図52】



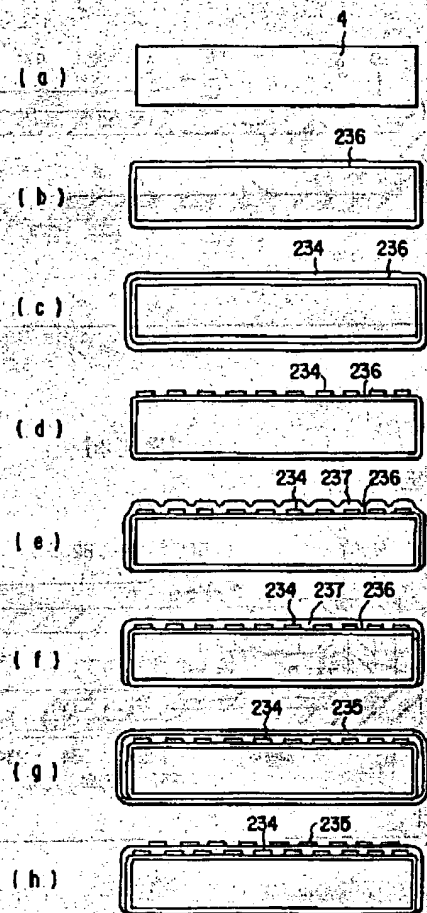
【図58】



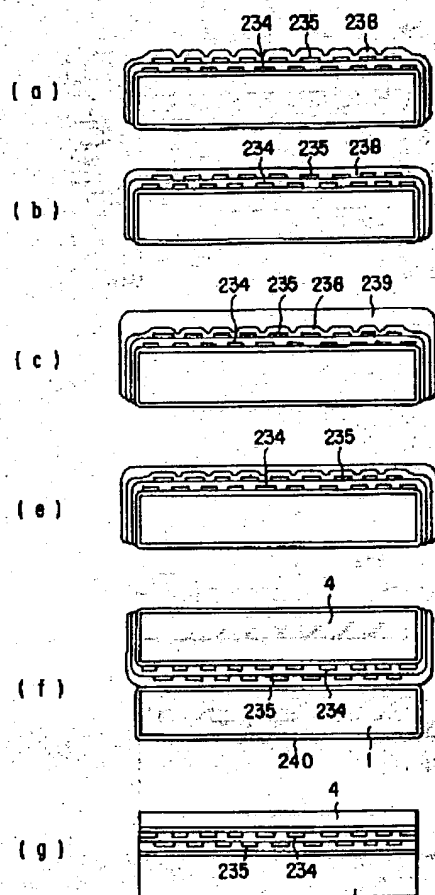
【図 53】



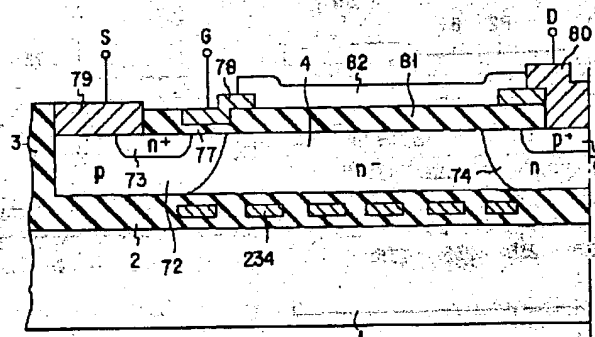
【図 56】



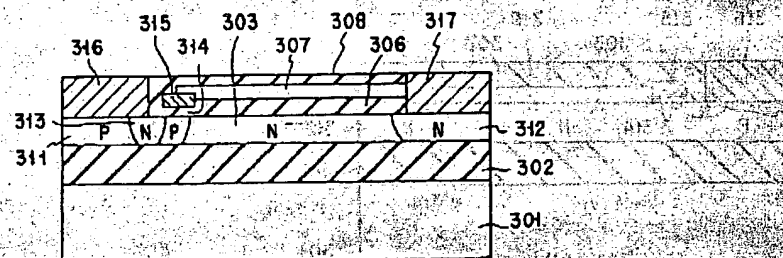
【図 57】



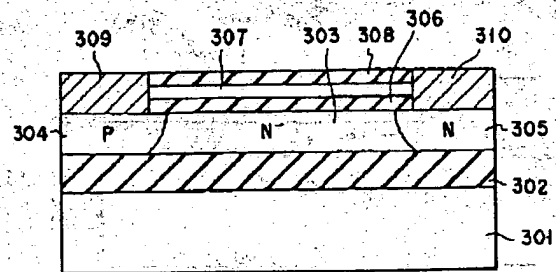
【図 59】



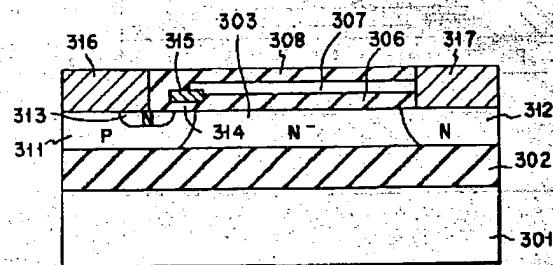
【図 70】



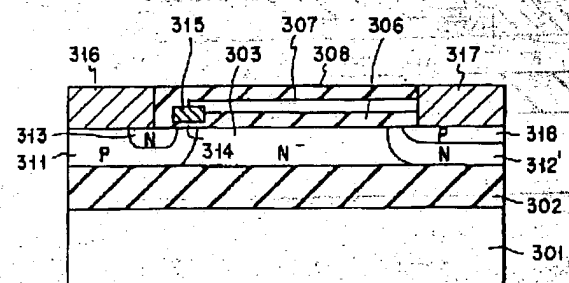
【图 6 7】



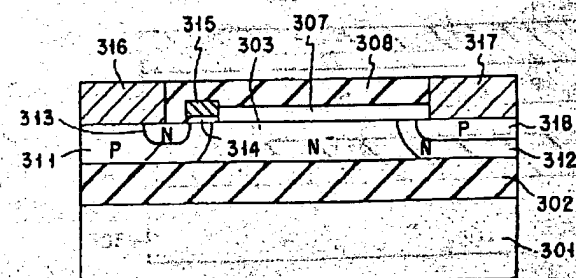
【图 6.9】



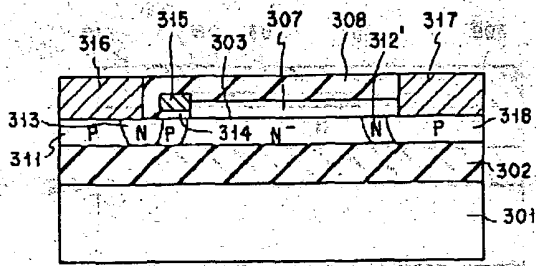
【图 7-3】



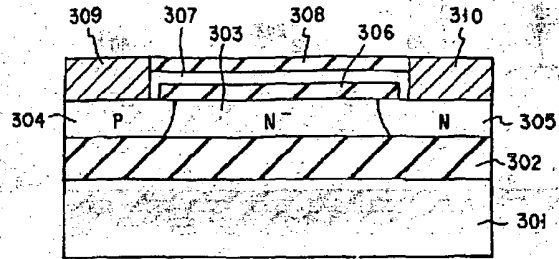
【図 7 5】



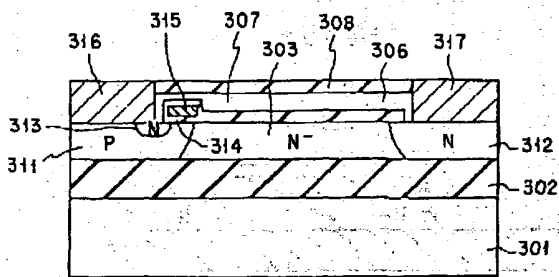
【図76】



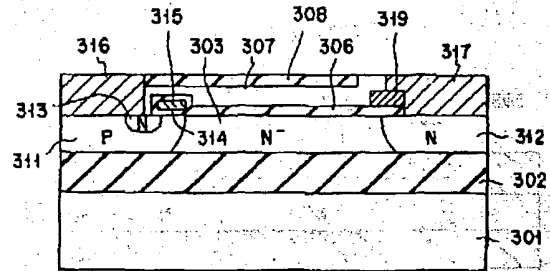
【図77】



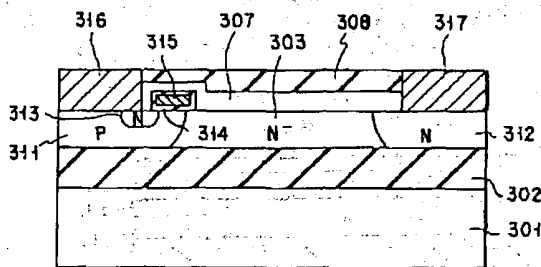
【図78】



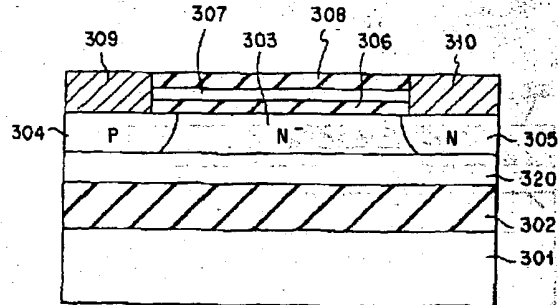
【図79】



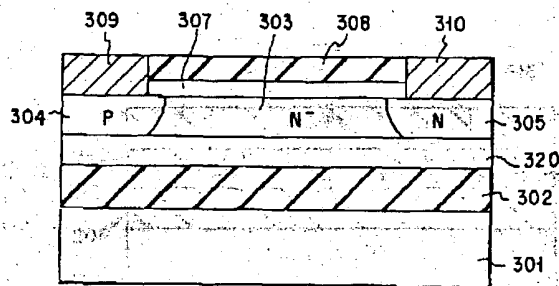
【図80】



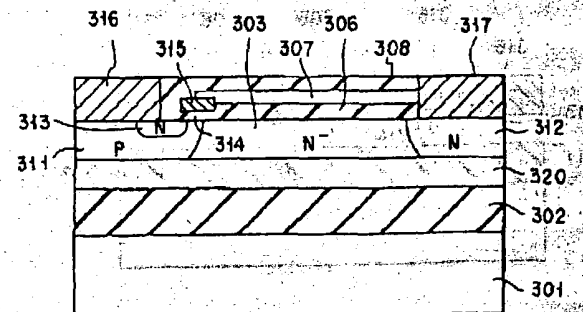
【図81】



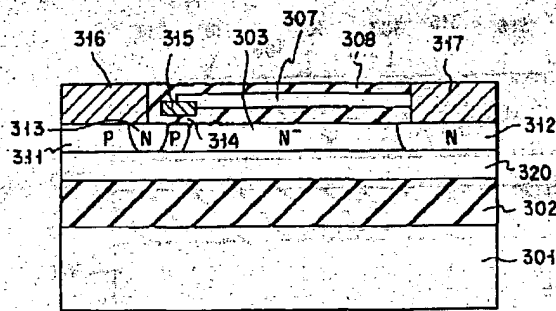
【図82】



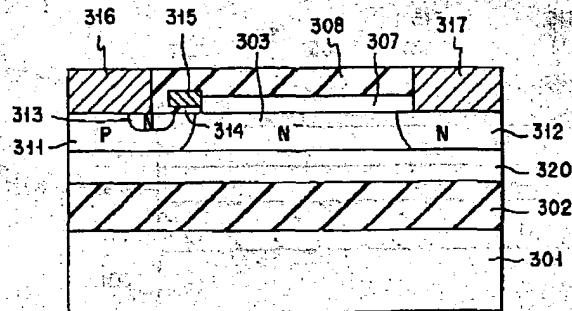
【図83】



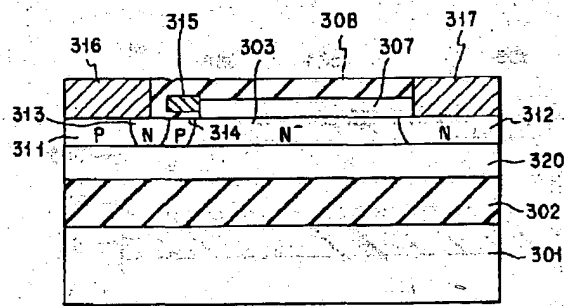
【図84】



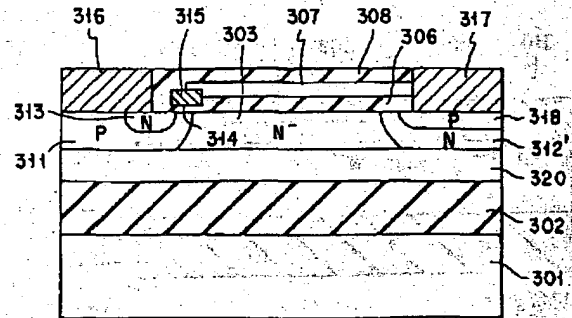
【図85】



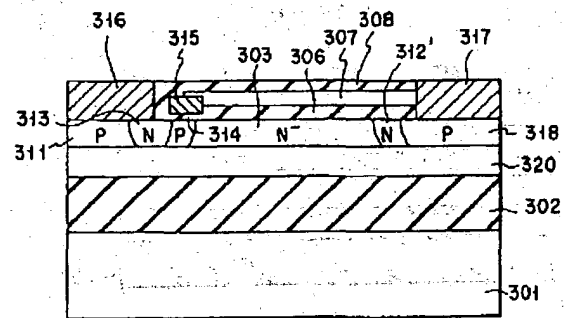
【図86】



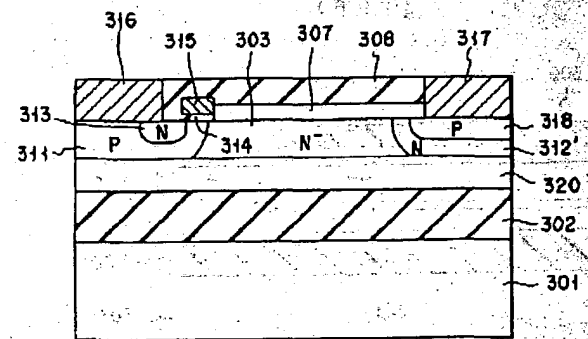
【図87】



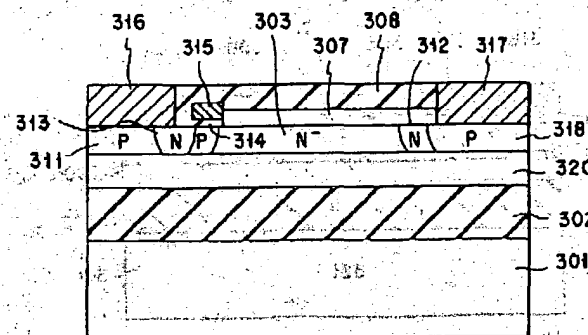
【図88】



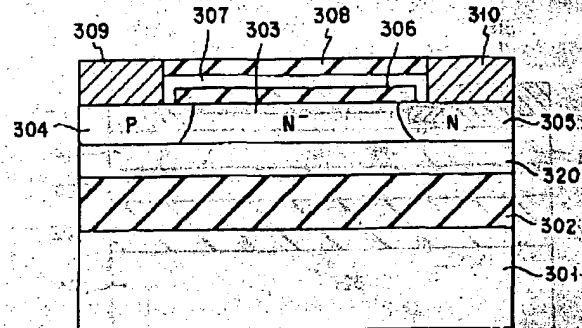
【図89】



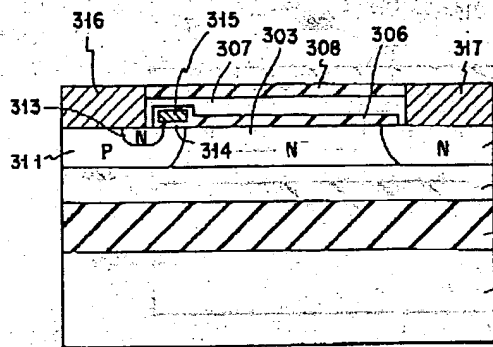
【図90】



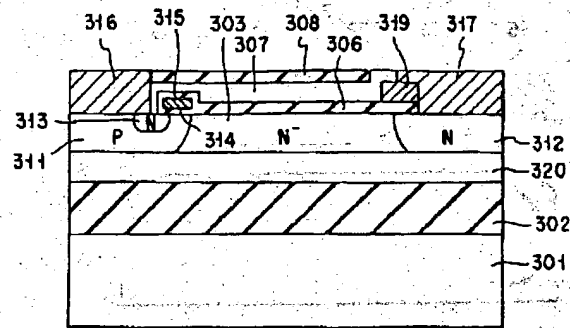
【図91】



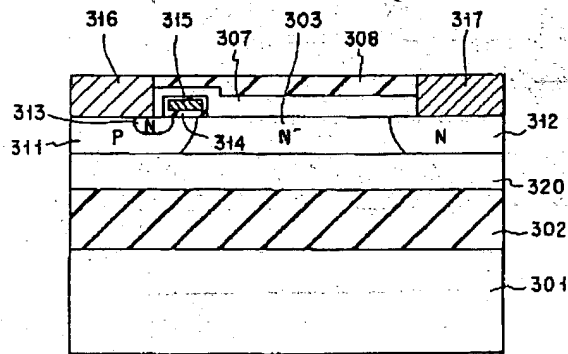
【図92】



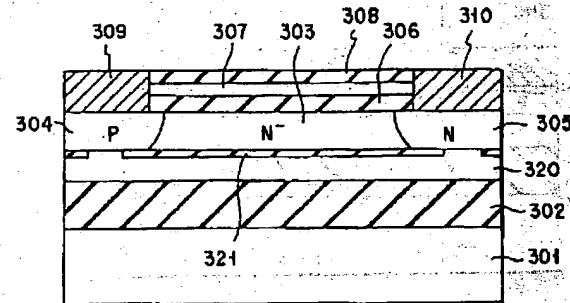
【図93】



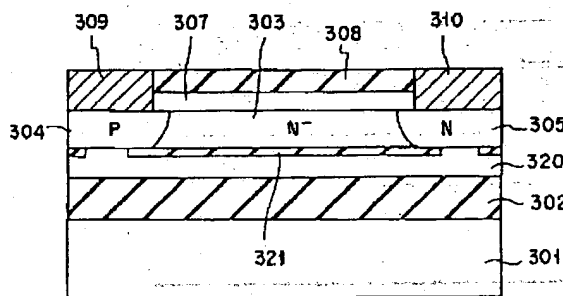
【図94】



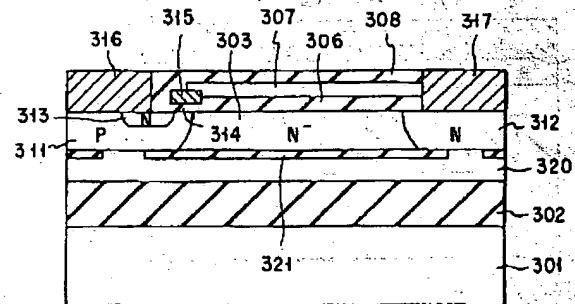
【図95】



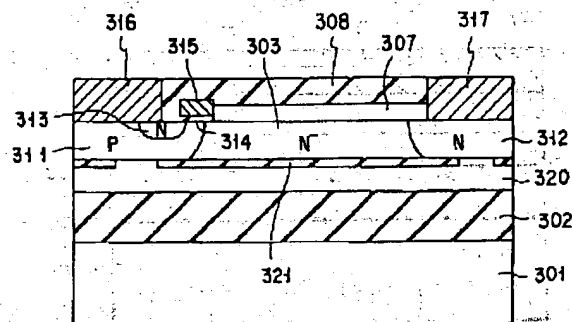
【図96】



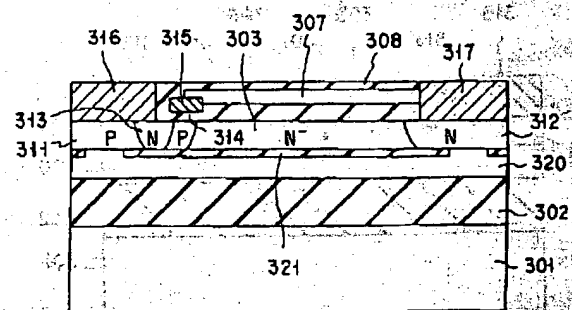
【図97】



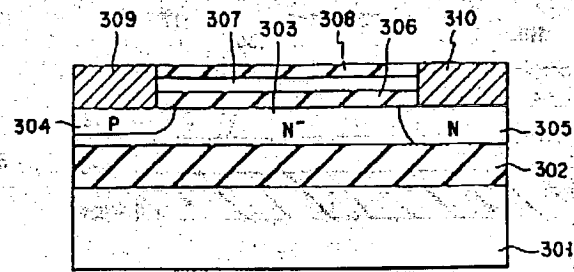
【図99】



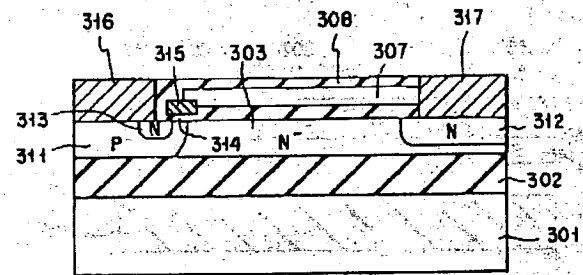
【図98】



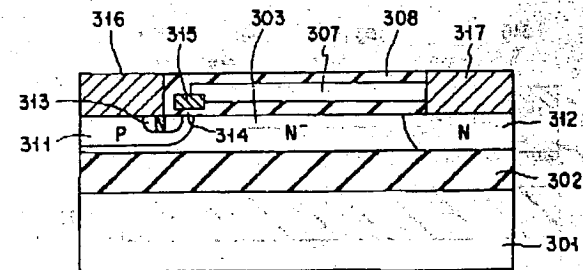
【図 109】



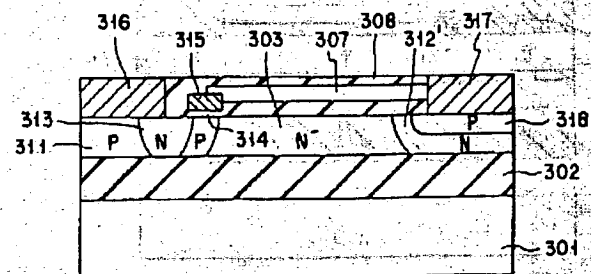
【図 1 1 0】



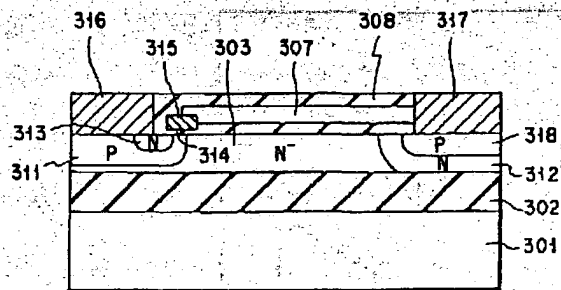
【図 1 1 2】



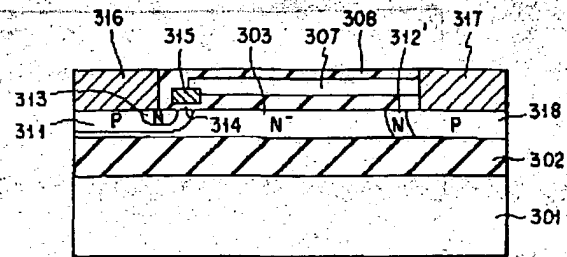
【☒ 1 1 5】



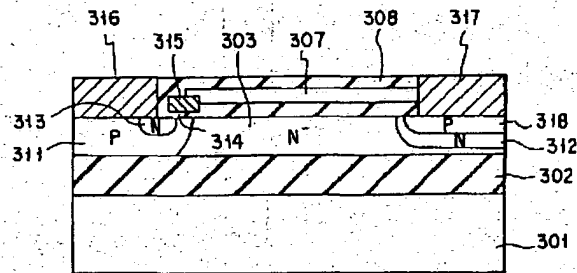
【図116】



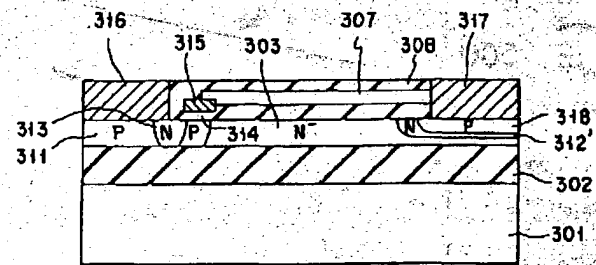
【図117】



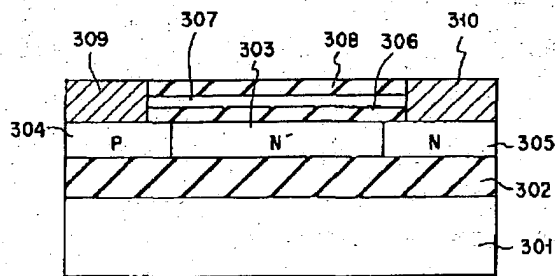
【図118】



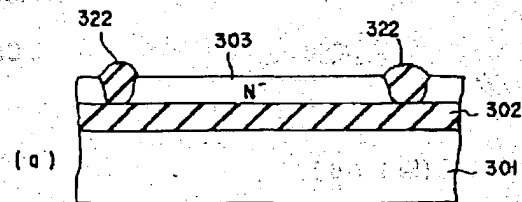
【図119】



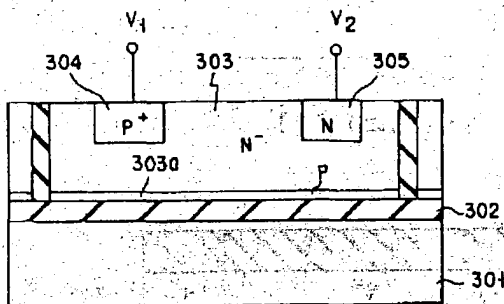
【図120】



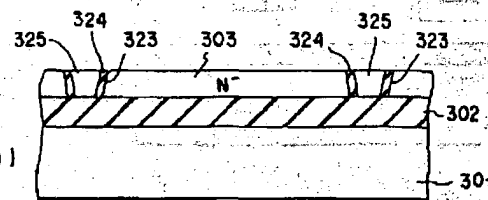
【図121】



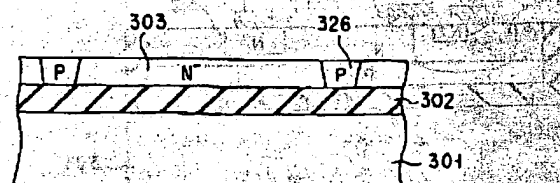
【図125】



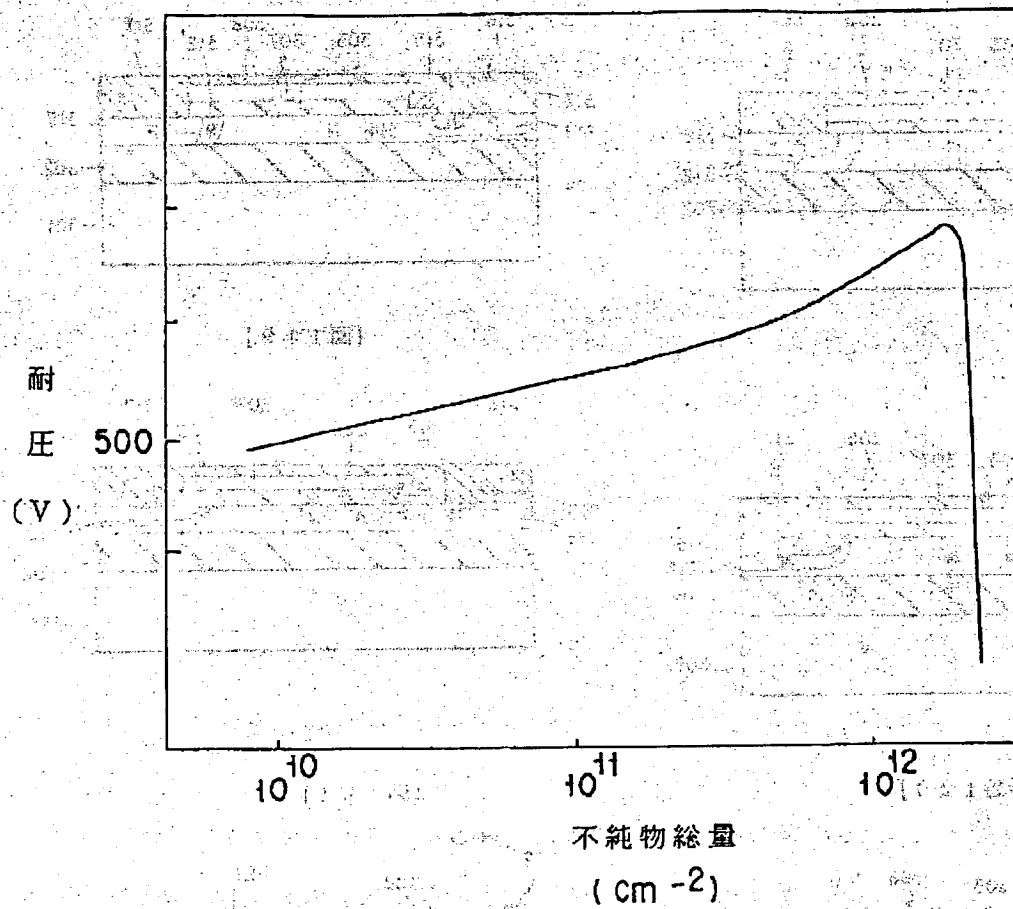
(a)



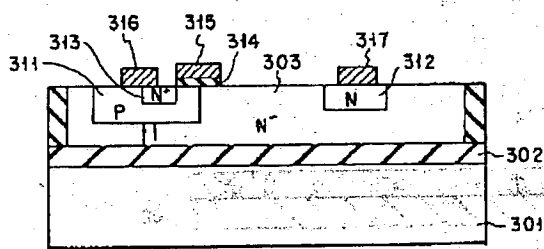
(c)



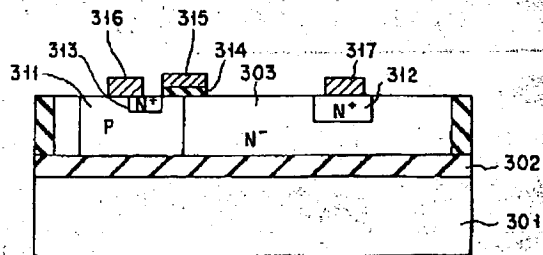
【図122】



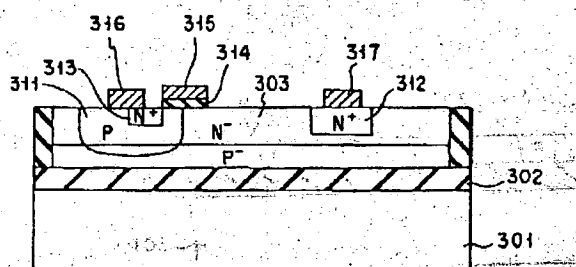
【図126】



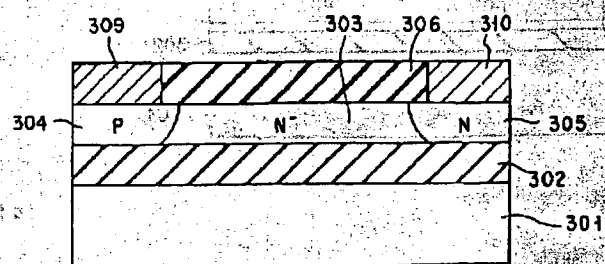
【図127】



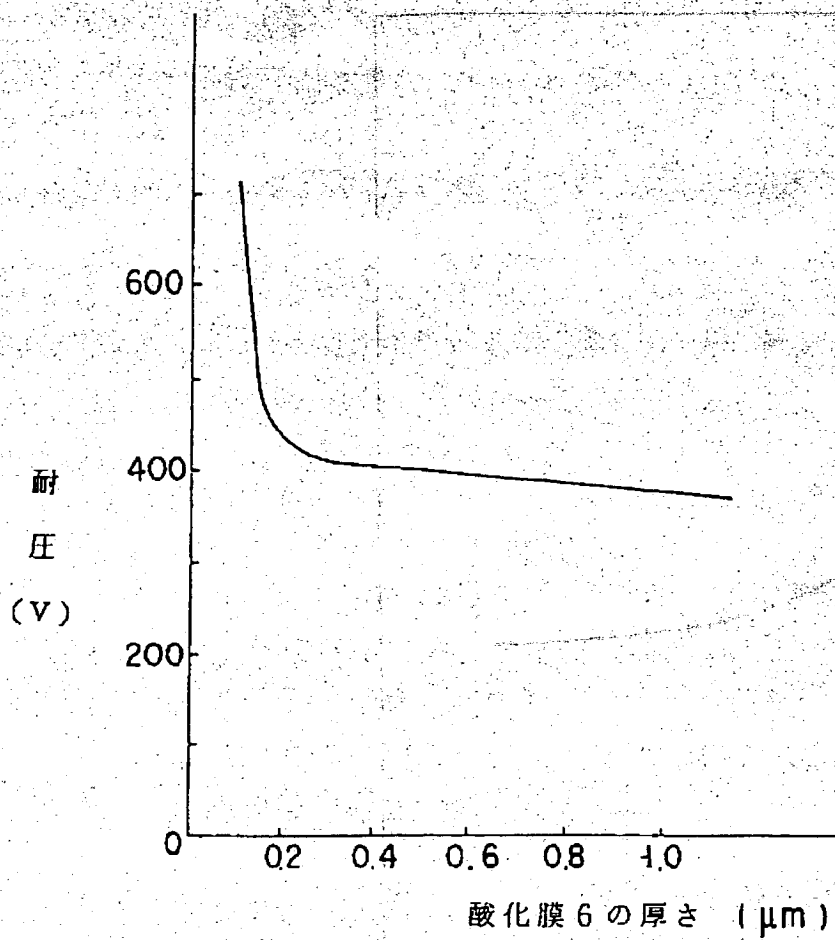
【図128】



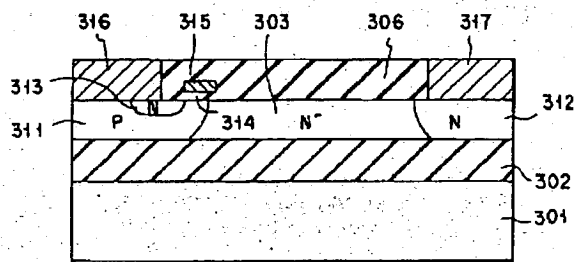
【図129】



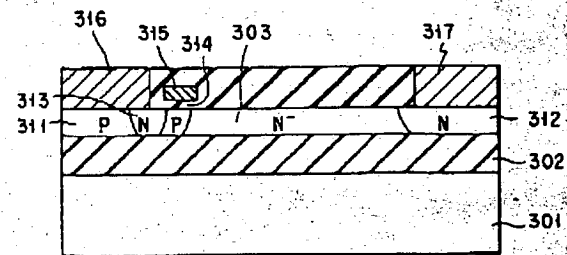
【図 1 2 3】



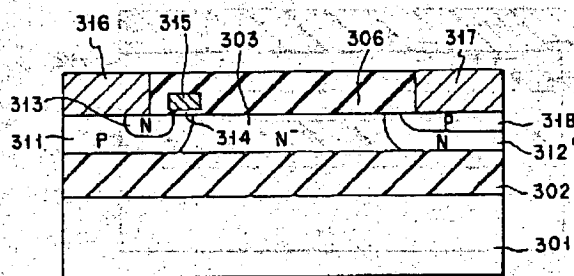
【图 130】



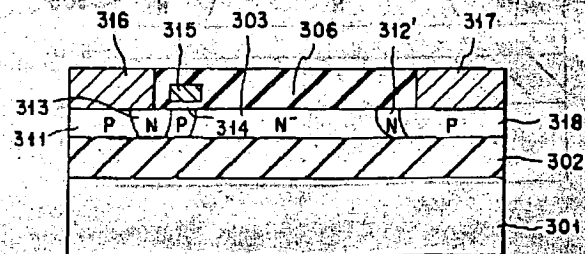
【図 1 3 1】



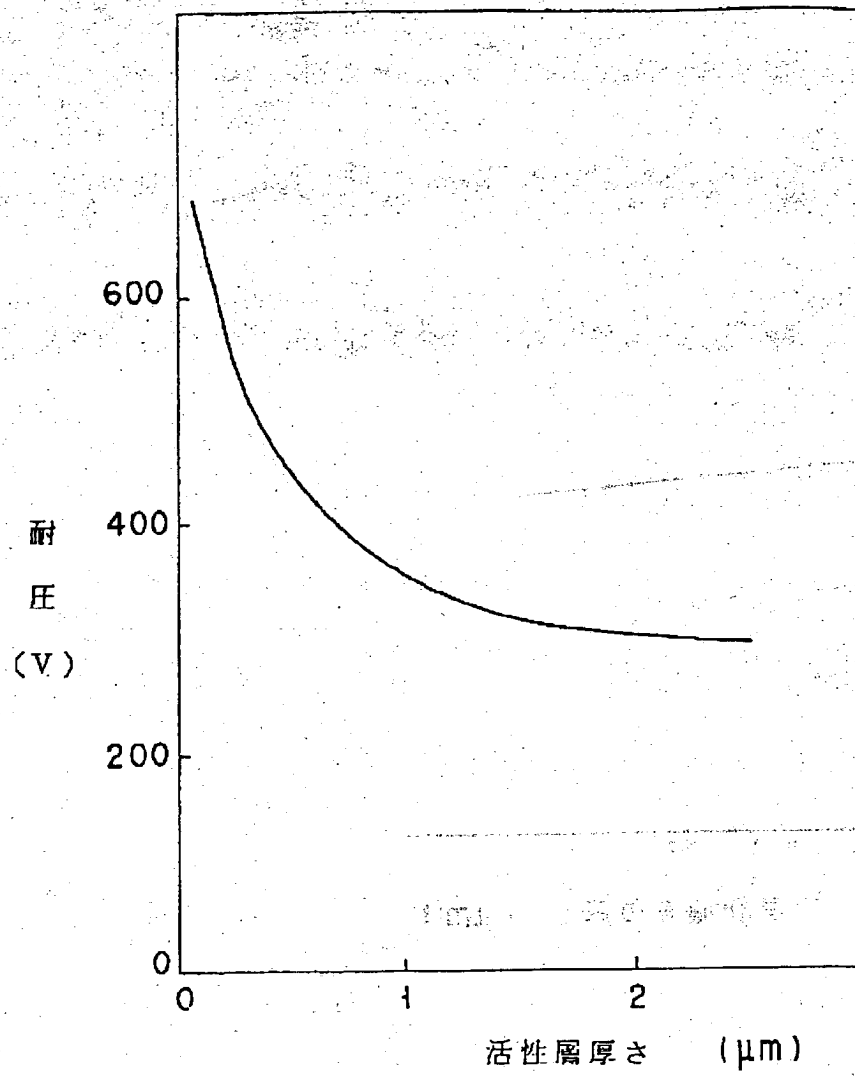
【図 1 3 2】



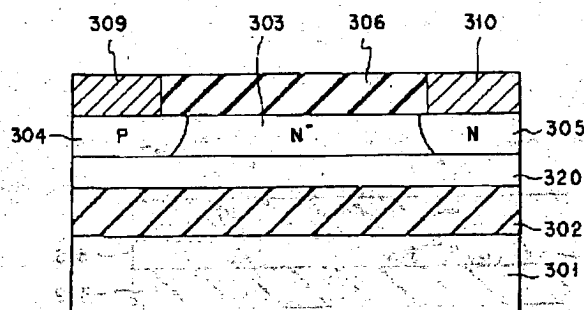
【图 1-3-3】



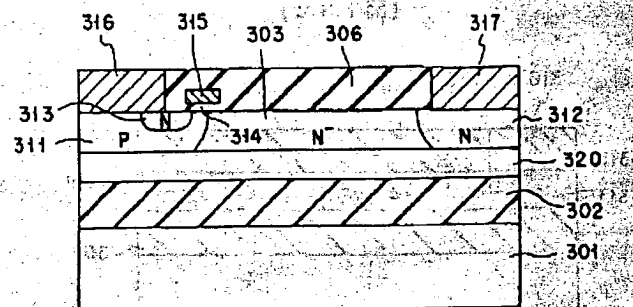
【図124】



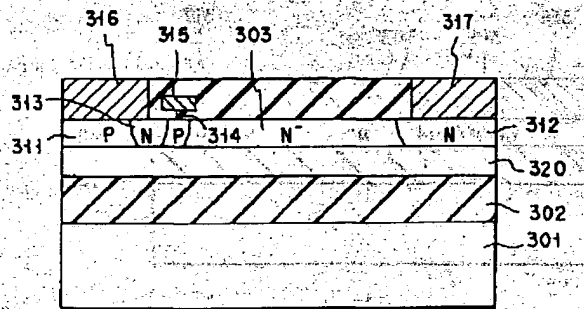
【図134】



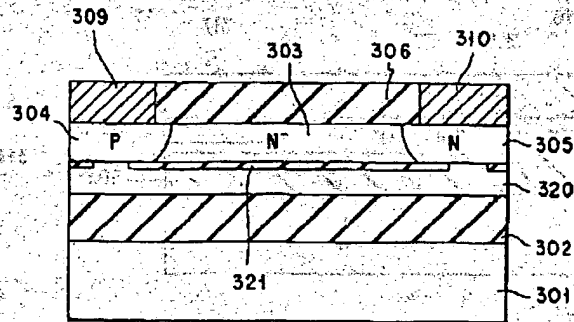
【図135】



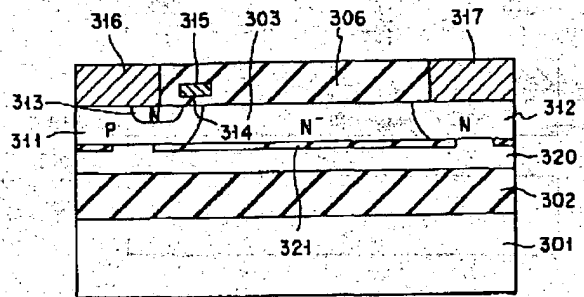
【図 1 3 6】



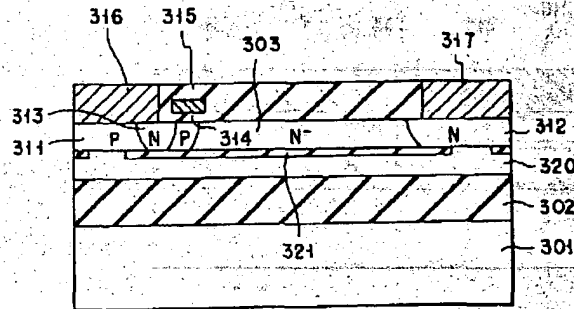
【図 1 3 7】



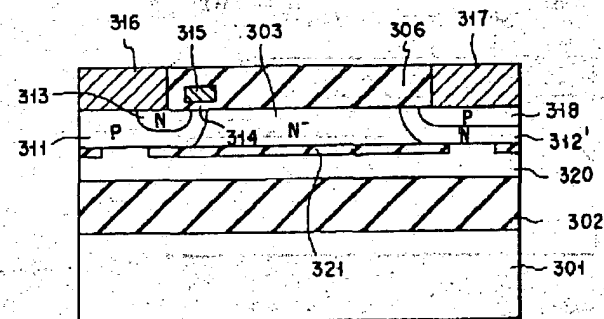
【図 1 3 8】



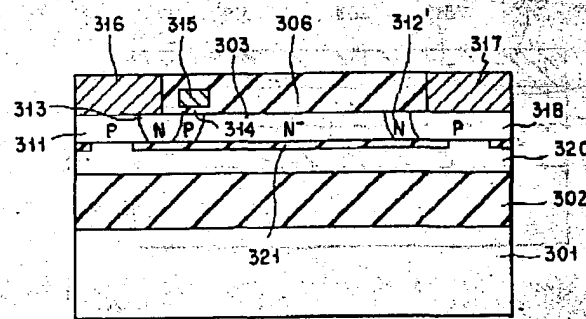
【図 1 3 9】



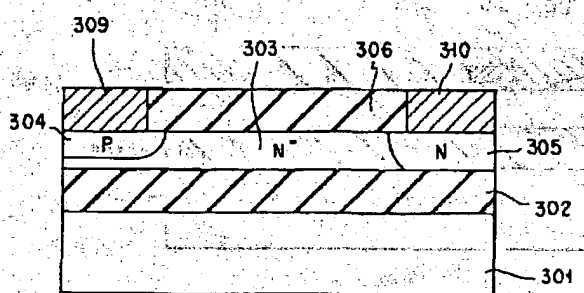
【図 1 4 0】



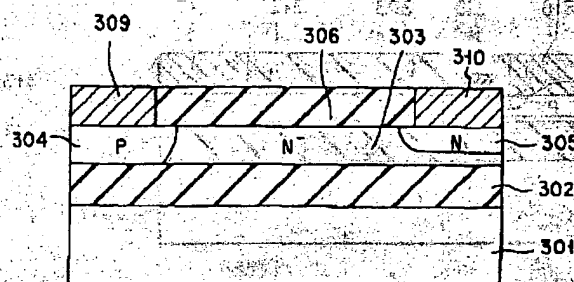
【図 1 4 1】



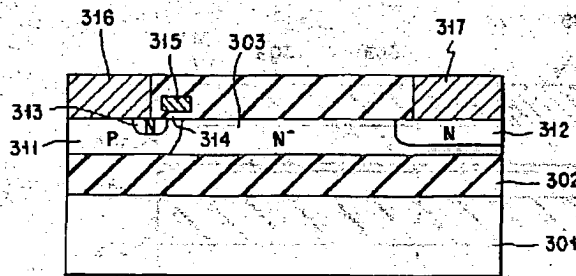
【図 1 4 2】



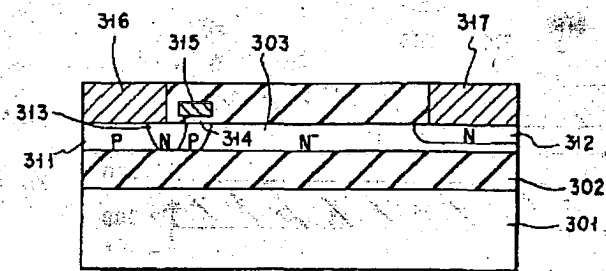
【図 1 4 3】



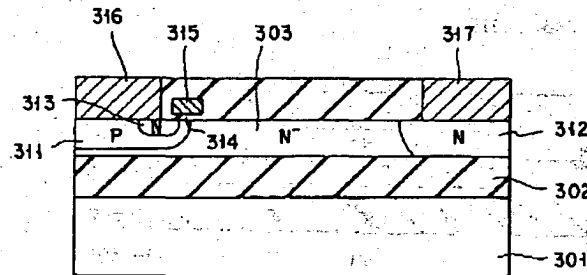
【図144】



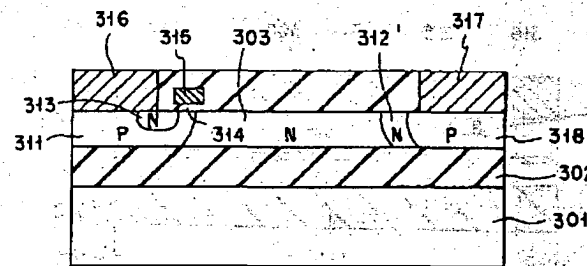
【図145】



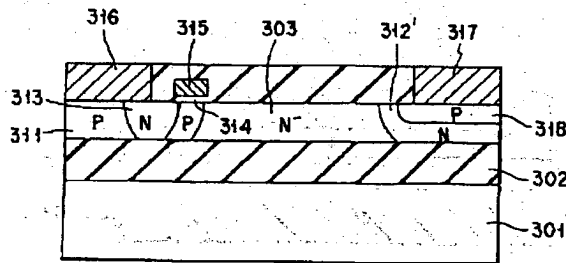
【図146】



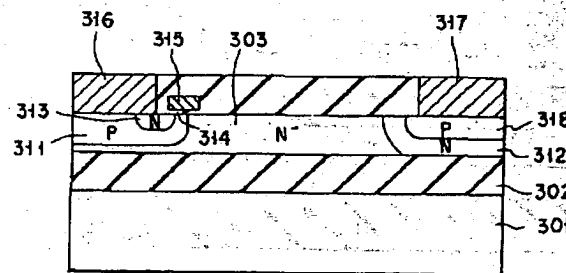
【図147】



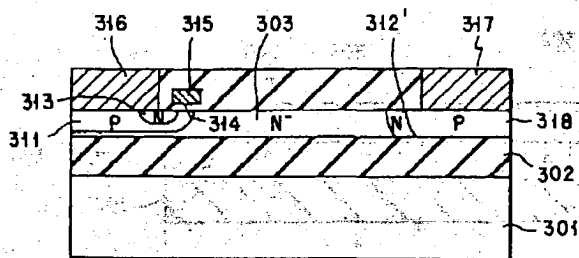
【図148】



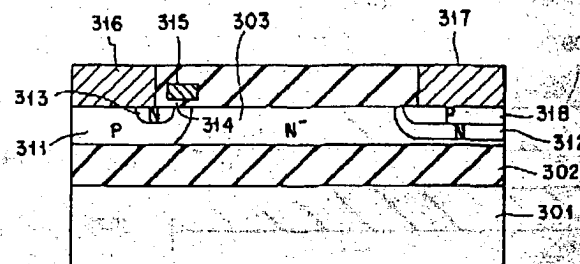
【図149】



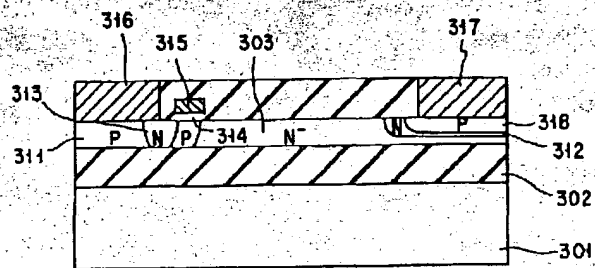
【図150】



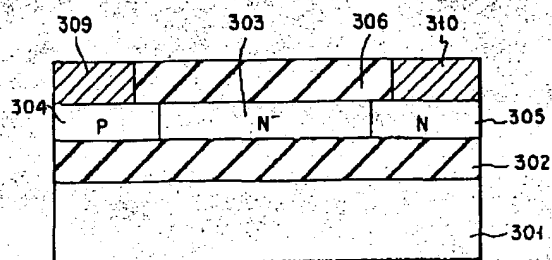
【図151】



【図152】



【図153】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

(31) 優先権主張番号 特願平3-268970

(32) 優先日 平3 (1991) 9月20日

(33) 優先権主張国 日本 (J P)